

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tatsuo SHIMIZU, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: INSULATING FILM AND ELECTRONIC DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ **Date Filed** _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-285034	September 30, 2002
Japan	2003-197808	July 16, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

James D. Hamilton
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285034

[ST.10/C]:

[JP 2002-285034]

出 願 人

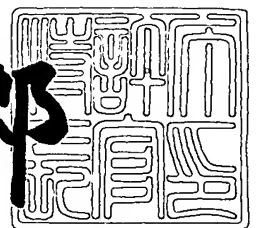
Applicant(s):

株式会社東芝

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 PTS0203

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明の名称】 絶縁膜及び電子素子

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

【氏名】 清水 達雄

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

【氏名】 佐竹 秀喜

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100088487

【弁理士】

【氏名又は名称】 松山 允之

【選任した代理人】

【識別番号】 100108062

【弁理士】

【氏名又は名称】 日向寺 雅彦

【手数料の表示】

【予納台帳番号】 087469

【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 絶縁膜及び電子素子

【特許請求の範囲】

【請求項 1】

第 1 のバンドギャップ及び第 1 の比誘電率を有する材料からなる第 1 の障壁層と、

前記第 1 の障壁層の上に設けられ、前記第 1 のバンドギャップよりも小さい第 2 のバンドギャップ及び前記第 1 の比誘電率よりも大きい第 2 の誘電率を有する材料からなる井戸層と、

前記井戸層の上に設けられ、前記第 2 のバンドギャップよりも大きい第 3 のバンドギャップ及び前記第 2 の比誘電率よりも小さい第 3 の比誘電率を有する材料からなる第 2 の障壁層と、

を備え、

前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする絶縁膜。

【請求項 2】

シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる第 1 の障壁層と、

前記第 1 の障壁層の上に設けられ、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが 10 オングストローム以下の井戸層と、

前記井戸層の上に設けられ、シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる第 2 の障壁層と、

を備えたことを特徴とする絶縁膜。

【請求項 3】

前記第 1 及び第 2 の障壁層の厚みは、2.5 オングストローム以上であり、

前記第 1 の障壁層の厚みを d_1 、比誘電率を ϵ_1 とし、前記第 2 の障壁層の厚みを d_2 、比誘電率を ϵ_2 とした時に、

$$2.5 > (d_1 / \epsilon_1 + d_2 / \epsilon_2)$$

なる条件が満足されることを特徴とする請求項 1 または 2 に記載の絶縁膜。

【請求項 4】

前記第 1 及び第 2 の障壁層の厚みは、3.5 オングストローム以上であることを特徴とする請求項 3 に記載の絶縁膜。

【請求項 5】

シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる n (n は 3 以上の整数である) 層の障壁層と、

SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが 10 オングストローム以下の $(n-1)$ 層の井戸層と、
を備え、

前記障壁層と前記井戸層とが交互に積層してなる多重量子井戸型構造を有することを特徴とする絶縁膜。

【請求項 6】

前記 n 層の障壁層の厚みは、いずれも 2.5 オングストローム以上であり、
 m 層目の前記障壁層の厚みを d_m 、比誘電率を ϵ_m とした時に、

$$2.5 > (d_1 / \epsilon_1 + d_2 / \epsilon_2 + \dots + d_n / \epsilon_n)$$

なる条件が満足されることを特徴とする請求項 5 に記載の絶縁膜。

【請求項 7】

前記 n 層の障壁層の厚みは、いずれも 3.5 オングストローム以上であることを特徴とする請求項 6 に記載の絶縁膜。

【請求項 8】

前記井戸層の厚みは、5 オングストローム以下であることを特徴とする請求項 1 ～ 7 のいずれか 1 つに記載の絶縁膜。

【請求項 9】

前記障壁層は、シリコンに対して伝導帯が 1.0 エレクトロンボルト以上高く、価電子帯が 1.0 エレクトロンボルト以上低い材料からなることを特徴とする請求項 1 ～ 8 のいずれか 1 つに記載の絶縁膜。

【請求項 1 0】

第 1 の電極と、

前記第 1 の電極の上に設けられた請求項 1 ～ 9 のいずれか 1 つに記載の絶縁膜と、

前記絶縁膜の上に設けられた第 2 の電極と、

を備え、前記第 1 及び第 2 の電極の間でキャパシタとして動作することを特徴とする電子素子。

【請求項 1 1】

半導体層と、

前記半導体層の上に設けられた請求項 1 ～ 9 のいずれか 1 つに記載の絶縁膜と

前記絶縁膜の上に設けられたゲート電極と、

を備え、

前記ゲート電極に電圧を印加することにより前記絶縁膜の下の前記半導体層の電界を制御可能としたことを特徴とする電子素子。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、絶縁膜及び電子素子に関し、例えば、電界効果型トランジスタや金属・絶縁体・金属構造 (MIM) キャパシタなどに用いて好適な絶縁膜及びこれを用いた電子素子に関する。

【 0 0 0 2】

【従来の技術】

U L S I (ultra large scale integration) デバイスの微細化や低消費電力化のために、ゲート絶縁膜の薄膜化が要求されるようになってきている。従来、F E T (Field Effect Transistor) のチャンネルに誘起される電荷量を確保するために、ゲート絶縁膜を薄膜化することによって容量を大きくする手法が採られてきた。その結果として、ゲート酸化膜である SiO_2 膜の薄膜化が推し進められ、現在は 10 オングストローム (1 nm) を切る厚さにまで到達しようとし

ている。

【0003】

ここに至り、 SiO_2 膜では、ゲート漏れ電流が大きくなり、待機電力の散逸から消費電力が押さえられないところまで来ている。例えば、膜厚 8 オングストローム (0.8 nm) の SiO_2 膜でも MOSFET は正常動作するものの、ゲート漏れ電流が 1 kA/cm^2 にまで達しており、消費電力の面での問題が極めて大きなものとなっている。

【0004】

消費電力をいかに低下させるかという観点からは、膜厚を厚くすることが有効である。このため、誘電率の高い物質 (high-K dielectric) を用いることで、 SiO_2 膜よりも厚膜で電荷量を確保しようとする試みが活発に検討されている。しかし、誘電率が高い物質は、一般的にバンドギャップが小さくなる傾向がある。実際、 SrTiO_3 のような誘電率の高い物質を使ったゲート絶縁膜では伝導帯側のバンドオフセットが非常に小さくなってしまい、膜厚を相当に厚くしてもリークを十分に止めることが困難な状況にある。この点は高誘電率を有する他の物質、例えば $(\text{Ba}, \text{Sr}, \text{Ca})(\text{Ti}, \text{Zr})\text{O}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, Ta_2O_5 , CeO_2 , TiO_2 , などでも同様である。

【0005】

すなわち、これらの物質では、シリコンに対するバンドオフセットが目標の 0.5 eV (理想としては 1.0 eV 以上) に比べて非常に小さく、場合によっては 0.1 eV 程度という物質もある。同様の問題は、MIM キャパシタにおいても発生している。例えば、 $\text{Pt/SrTiO}_3/\text{Pt}$ キャパシタでは、非常にリークが大きく、このままではリーク性能面から使えない状況にある。

【0006】

【発明が解決しようとする課題】

これに対して、絶縁性材料からなる複数の層を用いた積層型の絶縁膜が提案されている (例えば、特許文献 1 及び特許文献 2 参照)。

【0007】

【特許文献 1】

特開 2 0 0 0 - 1 9 5 8 5 6 号公報

【特許文献 2】

特開 2 0 0 1 - 2 7 4 3 9 3 号公報

【0 0 0 8】

しかし、高集積化のための微細化と低消費電力の要請に鑑みると、これら従来の積層型の絶縁膜は、いずれも、高い誘電率と低いリークとを十分に両立させるとはいえなかった。

【0 0 0 9】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、新たな発想に基づいて、誘電率が高くかつリーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することにある。

【0 0 1 0】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の絶縁膜は、第 1 のバンドギャップ及び第 1 の比誘電率を有する材料からなる第 1 の障壁層と、前記第 1 の障壁層の上に設けられ、前記第 1 のバンドギャップよりも小さい第 2 のバンドギャップ及び前記第 1 の比誘電率よりも大きい第 2 の誘電率を有する材料からなる井戸層と、前記井戸層の上に設けられ、前記第 2 のバンドギャップよりも大きい第 3 のバンドギャップ及び前記第 2 の比誘電率よりも小さい第 3 の比誘電率を有する材料からなる第 2 の障壁層と、を備え、前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする。

【0 0 1 1】

上記構成によれば、離散的な量子化準位を形成させることにより、共鳴トンネリングによる電子または正孔の通過を一定の電圧まで抑制して、高い誘電率と低いリーク電流とを両立した絶縁膜を提供できる。すなわち、井戸層の厚みを薄くすると、障壁層による閉じこめ効果によって、離散的な量子準位が形成される。従って、キャリアがこの量子井戸構造を通過するためには、この量子準位までエネルギーが高くなる必要があり、その結果としてリークを抑制できる。

【0012】

また、本発明の第2の絶縁膜は、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる第1の障壁層と、前記第1の障壁層の上に設けられ、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが10オングストローム以下の井戸層と、前記井戸層の上に設けられ、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる第2の障壁層と、を備えたことを特徴とする。

【0013】

上記構成によれば、高い誘電率と低いリーク電流とを両立した絶縁膜を提供できる。

【0014】

ここで、前記第1及び第2の障壁層の厚みは、2.5オングストローム以上であり、前記第1の障壁層の厚みを d_1 、比誘電率を ϵ_1 とし、前記第2の障壁層の厚みを d_2 、比誘電率を ϵ_2 とした時に、 $2.5 > (d_1 / \epsilon_1 + d_2 / \epsilon_2)$ なる条件を満足するものとすることができる。

【0015】

また、前記第1及び第2の障壁層の厚みは、3.5オングストローム以上であるものとすれば、エネルギーレベルのしみだしをより確実に抑制して量子効果を顕著に得ることができる。

【0016】

また、本発明の第3の絶縁膜は、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる n (n は3以上の整数である)層の障壁層と、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが10オングストローム以下の $(n-1)$ 層の井戸層と、

を備え、前記障壁層と前記井戸層とが交互に積層してなる多重量子井戸型構造を有することを特徴とする。

【0017】

上記構成によっても、高い誘電率と低いリーク電流とを両立した絶縁膜を提供できる。

【0018】

ここで、前記 n 層の障壁層の厚みは、いずれも 2.5 オングストローム以上であり、 m 層目の前記障壁層の厚みを d_m 、比誘電率を ϵ_m とした時に、 $2.5 > (d_1 / \epsilon_1 + d_2 / \epsilon_2 + \dots + d_n / \epsilon_n)$ なる条件が満足されるものとすることができる。

【0019】

また、前記 n 層の障壁層の厚みは、いずれも 3.5 オングストローム以上であるものとするれば、エネルギーレベルのしみだしをより確実に抑制して量子効果を顕著に得ることができる。

【0020】

また、前記井戸層の厚みは、 5 オングストローム以下であるものとするれば、高い量子化レベルがえられ、広い動作電圧範囲に亘ってリーク電流を低減できる。

また、前記障壁層が、シリコンに対して伝導帯が 1.0 エレクトロンボルト以上高く、価電子帯が 1.0 エレクトロンボルト以上低い材料からなるものとするれば、より高い量子化レベルがえられ、共鳴トンネリングが生ずるエネルギーレベルをさらに高くすることができる。その結果として、エネルギーレベルのしみだしもより確実に抑制できるため、広い動作電圧範囲に亘ってリーク電流を低減できる。

【0021】

一方、本発明の第 1 の電子素子は、第 1 の電極と、前記第 1 の電極の上に設けられた請求項 1～8 のいずれか 1 つに記載の絶縁膜と、前記絶縁膜の上に設けられた第 2 の電極と、を備え、前記第 1 及び第 2 の電極の間でキャパシタとして動作することを特徴とし、キャパシタンスが高く耐圧も良好な MIM などのキャパシタを提供できる。

【0022】

また、本発明の第 2 の電子素子は、半導体層と、前記半導体層の上に設けられた請求項 1～8 のいずれか 1 つに記載の絶縁膜と、前記絶縁膜の上に設けられた

ゲート電極と、を備え、前記ゲート電極に電圧を印加することにより前記絶縁膜の下の前記半導体層の電界を制御可能としたことを特徴とし、微細化が可能で低リーク、高耐圧のMOSFETなどの電子素子を提供できる。

【0023】

【発明の実施の形態】

以下、図面を参照しつつ、本発明の実施の形態について詳細に説明する。

【0024】

図1は、本発明の実施の形態にかかる絶縁膜の断面構造を表す模式図である。

すなわち、本実施形態の絶縁膜QIは、井戸層Wが障壁層B1、B2により両側から挟まれた量子井戸型の構造を有する。

【0025】

井戸層Wは、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層B1、B2は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0026】

図2は、図1の絶縁膜QIにおけるエネルギーバンドダイアグラムを表す模式図である。すなわち、同図に波線で表したように、井戸層Wにはそのサイズ効果による量子準位（量子化レベル）が形成され、離散的なエネルギーのみが許容される状態となる。

【0027】

以下、この絶縁膜QIを構成する各層について、さらに詳細に説明する。

【0028】

まず、井戸層Wは、 SiO_2 と比較してバンドギャップは小さいが、誘電率の大きい物質からなる。その代表的な物質としては、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{TiO}_3$ 、 $(\text{Ba}, \text{Sr}, \text{Ca})(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 Ta_2O_5 、 CeO_2 、 HfO_2 、 HfO_2 の窒化物 HfON 、 ZrO_2 、 ZrO_2 の窒化物 ZrON 、 TiO_2 、 Hf -シリケート(silicate)、 Hf -シリケートの窒化物 HfSiON 、 Zr -シリケート、 Zr -シリケートの窒化物 ZrSiON 、 Ti -シリケート、その他の金属を用いたシリケートやその窒

化物、 Y_2O_3 、 LaAlO_3 、 Ga_2O_3 、 La_2O_3 、 Al_2O_3 などが挙げられる。

【0029】

次に、障壁層B1、B2は、Si（シリコン）よりもバンドギャップが大きな材料からなる。さらに、シリコンに対するバンドオフセットがn、pの両側で0.5 eV以上ある物質からなることが望ましい。すなわち、伝導帯はシリコンよりも0.5 eV以上高く、価電子帯はシリコンよりも0.5 eV以上低いような物質からなることが望ましい。また、伝導帯はシリコンよりも1.0 eV以上高く、価電子帯はシリコンよりも1.0 eV以上低いような物質からなるなら、更に望ましい。

【0030】

その代表的な物質としては、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、Hf-シリケート、Hf-シリケートの窒化物、Zr-シリケート、Zr-シリケートの窒化物、Ti-シリケート、Ti-シリケートの窒化物、その他の金属を用いたシリケートやその窒化物、 MgAl_2O_4 、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{F}$ 、などが挙げられる。

【0031】

ここでシリケートは、井戸層Wの物質としても、障壁層B1、B2の物質としても候補として挙げられているが、それは内包する金属の量により、井戸部分に適しているか、障壁部分に適しているかが変わってくるためである。また Al_2O_3 では、組み合わせによっては、井戸部分にもなるし、障壁部分にもなるということの意味する。組み合わせによって、障壁部分の代表と考えられる物質が井戸部分に、逆に井戸部分の代表として考えられる物質が障壁部分に適応することもありうることを意味している。例えば、 SrO を井戸部分に、 SiO_2 を障壁部分に用いるというような可能性がある。

【0032】

本発明は、高誘電体絶縁膜の実効バンドオフセットを井戸型ポテンシャルあるいは多重井戸型ポテンシャルによる量子化によって制御しようという、全く新しい発想から生まれたものである。本発明ではエピタキシャル成長技術を使って、

井戸層Wを構成する方法も有力であるが、配向性の膜や、多結晶（ポリクリスタル）の膜、非晶質（アモルファス）の膜を上手く組み合わせて、井戸を構成することも可能であるので、必ずしもエピタキシャル膜を全体に渡って成膜しなくてはならないわけではない。

【 0 0 3 3 】

単独の量子井戸を用いた絶縁膜構造においては、井戸層Wの内部に形成されるエネルギー最低のレベル（量子化された零点振動レベル）まで実効的なバンドオフセットを上昇させることができる。

【 0 0 3 4 】

絶縁膜に印加される電場 5 MV/cm 、絶縁膜の SiO_2 換算膜厚 10 オングストローム において、例えばコンピュータ演算装置を 10 W 以下の低消費電力で動作させるには、漏れ電流を 10^{-5} A/cm^2 以下にすることが有効である。これを実現するにはトンネルによる漏れ電流に対する障壁高さが 0.9 eV 以上必要である。

【 0 0 3 5 】

本発明では、以下のような条件のもとで、より効率的な量子化が可能となり、絶縁膜として重要なトンネル障壁の高さを 0.9 eV 以上にまで高めることが可能となる。その条件とは、まず第1に、井戸層Wの幅 d_2 を 5 オングストローム 以下とすることである。

【 0 0 3 6 】

また、障壁層B1、B2の材料として、Siに対するバンドオフセットが n 、 p の両側に 1 eV 以上ある物質を用い、その幅 d_1 、 d_3 が以下の条件を満たすことである。

【 0 0 3 7 】

$d_1 > 2.5 \text{ オングストローム}$

$d_3 > 2.5 \text{ オングストローム}$

さらに、以下の条件を満たすことがより望ましい。

【 0 0 3 8 】

$d_1 > 3.5 \text{ オングストローム}$

$d_3 > 3.5$ オングストローム

$2.5 > (d_1 / \epsilon_1 + d_3 / \epsilon_2)$

ここで、 ϵ_1 、 ϵ_2 は、それぞれ障壁層 B 1、B 2 の比誘電率である。

【0039】

まず、井戸層 W の幅 d_2 に関する条件であるが、これは、量子化されたレベルの最低レベル（零点振動レベル）が 0.9 eV 以上に達するために必要となる条件である。すなわち、本発明においては、井戸層 W の幅 d_2 を 5 オングストローム以下とすることにより、0.9 eV 以上の量子化レベルを形成させる。このようにすれば、いわゆる「トンネリング・レゾナンス (tunneling resonance)」により量子井戸構造を貫通するリーク電流が増大する電圧を通常の電子素子の動作電圧よりも高くすることができる。その結果として、MOSFET や MIM などのデバイスにおいて通常のバイアスを印加した時のリークを遮断することが可能となる。

【0040】

図 3 は、絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【0041】

従来の SiO_2 のみからなる絶縁膜 (SiO_2 絶縁膜) は、印加電圧に対して、リーク電流が指数関数的に上昇する特性を有する。

【0042】

一方、前述した特許文献 1 及び特許文献 2 に開示されている積層型の絶縁膜の場合、バンドキャップが小さい絶縁層 (本発明の井戸層に対応する) の膜厚が 30 オングストロームあるいはそれ以上であり、この場合には、動作温度 ($-50^\circ\text{C} \sim +100^\circ\text{C}$) において、井戸内レベルが連続化してしまい、量子効果は全く発現されないことになる。このため、図 3 に表したように、これら従来の積層型絶縁膜の場合にも、リーク特性は、通常の SiO_2 絶縁膜 (膜厚は積層絶縁膜の SiO_2 換算膜厚とする) とよく似た傾向を有し、量子効果によるリーク電流の抑制は全く見られない。

【0043】

これに対して、本実施形態の量子井戸型絶縁膜の場合、井戸層 W の幅 d_2 を 5

オングストローム以下とすることにより、量子効果が生じて、井戸層W内に、 0.9 eV 以上の量子化レベルが形成される。その結果として、障壁層B 1、B 2をトンネルしても、この量子化レベルに至るまではキャリアが絶縁膜を貫通しないために、リーク電流を大幅に減少させることができる。そして、量子井戸型絶縁膜に対して、さらに印加電圧を大きくすると、図3に表したように、リーク電流はピーク的に上昇する。これは、トンネリング・レゾナンスにより、井戸層Wに形成された量子化レベルを介してキャリアが絶縁膜全体を貫通する状態を表す。

【0044】

井戸層Wの幅 d_2 を5オングストローム以下にして得られる量子化レベルは、通常のMOSFETやMIMの動作電圧範囲よりも高い。このために、図3に表したように、動作電圧範囲の全体に亘ってリーク電流を低減することができる。

【0045】

次に、障壁層B 1、B 2の幅 d_1 、 d_3 に関する条件であるが、これは、あまり薄いと障壁高さが低下すること、また井戸外部への状態の量子的な「しみだし」が発生してレベルが拡がりをもつことを防ぐことが必要となるからである。
3. 5オングストローム以上であればこれらの問題はほぼ完全に回避されるが、2. 5オングストロームでもおよそ半分程度の効果を得ることかは可能である。
よって、3. 5オングストローム以上が好ましいが、2. 5オングストロームでも最低限の量子効果が見られることになる。つまり、障壁層B 1、B 2は、2. 5オングストローム以上、更に好ましくは3. 5オングストローム以上の障壁幅が必要となる。

【0046】

障壁層B 1、B 2の上限幅については、必要以上に厚いと SiO_2 換算膜厚が10オングストロームを越えてしまうことになる。これを防ぐには、障壁層B 1、障壁層B 2の幅 d_1 、 d_3 、比誘電率 ϵ_1 、 ϵ_2 が少なくとも、

$$2.5 > (d_1 / \epsilon_1 + d_3 / \epsilon_2)$$

の関係を満たさなければならないことになる。

【0047】

絶縁膜に印加される電場 5 MV/cm 、絶縁膜の SiO_2 換算膜厚 10 \AA のストロームにおいて、例えばコンピュータ演算装置を 100 W 程度までの中程度の消費電力で動作させることが出来れば十分である場合もある。この場合には、漏れ電流を 10^{-2} A/cm^2 以下に抑えることが有効である。これはトンネルによる漏れ電流に対する障壁高さが 0.25 eV 以上あれば実現され得る。そして、これを量子井戸構造で実現するには、障壁層の高さを 0.5 eV 以上、井戸幅 10 \AA ストローム以下とすれば十分であるため、材料の選択肢が大きく広がることになる。

【0048】

次に、2重量子井戸構造を用いた絶縁膜について説明する。

【0049】

図4は、2重量子井戸を用いた絶縁膜を例示する模式図である。すなわち、井戸層 $W1$ 、 $W2$ が、障壁層 $B1 \sim B3$ に挟まれた構造を有する。井戸層 $W1$ 、 $W2$ は、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層 $B1 \sim B3$ は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0050】

図5は、2重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【0051】

2重量子井戸を用いた絶縁膜構造においては、第1の井戸層 $W1$ の幅と第2の井戸層 $W2$ の幅とを異ならせることにより、図5に例示したように、それぞれの井戸層内に形成される量子準位のエネルギーレベル（波線で例示した）を大きくずらすことが可能となる。この場合、両方の井戸層 $W1$ 、 $W2$ の内部にできるエネルギーレベルが合わない条件とすれば、実効的なバンドオフセットを障壁層の高さそのものとするのが可能となり、非常に高いエネルギー障壁を作り出すことが可能となる。

【0052】

図6は、この2重量子井戸構造に電圧が印加された状態のエネルギーダイアグ

ラムを表す模式図である。このように、電圧が印加されると各井戸層のポテンシャルが変化するので、隣接する井戸層間で、エネルギーレベルが近接し、または一致する場合も生ずる。例えば、図 6 の具体例の場合、井戸層 W 1 の最低準位（W 1 における下側の波線に対応する）と、井戸層 W 2 の第二準位（W 2 における上側の波線に対応する）とがほぼ同一のレベルになっている。このような状況では、バンドオフセットが急激に低下してしまうことになるので、両方の井戸層のエネルギーレベルの差が大きいことが望ましい。

【 0 0 5 3 】

但し、隣接する井戸層間のエネルギーレベルが一致してしまったとしても、井戸幅の薄いほうの井戸層（図 5 及び図 6 においては井戸層 W 1）の幅 d_2 を 5 オングストローム以下にして、電圧が印加された時に高いポテンシャルの側に位置するように積層すれば、 1 eV 程度の障壁を持たせることは可能となる。

【 0 0 5 4 】

本実施形態によれば、問題になるトンネル障壁の高さ（実効的なバンドオフセット）を 1.5 eV から 3 eV 以上（障壁層のバンドオフセットに対応した値）にまで高めることが可能となる。二つの井戸層内にできるエネルギーレベルのエネルギー差が十分大きく、この絶縁膜を用いた半導体装置の駆動時の印加電圧による「ずれ」の最大値（ 0.4 eV 程度が想定される）よりも 1 割以上（ 0.04 eV 程度が想定される）大きければ理想的である。印加電圧によるエネルギーの「ずれ」は、障壁層 B 2 の幅 d_3 に大きく依存しており、また必要な印加電圧は膜全体の誘電率に依存しているので、井戸部分や障壁部分の厚さをコントロールすることで、印加電圧以下で二つの井戸層内のレベルが一致することを防ぐことは十分可能である。

【 0 0 5 5 】

図 7 は、絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【 0 0 5 6 】

図 3 に関して前述したものと同様の部分については説明を省略するが、2 重量子井戸構造とすることにより、リーク電流をさらに減少させることが可能となる。また、量子井戸 W 1、W 2 間の量子化レベルの一致を防ぐことにより、図 7 に

表したように、リーク電流のピーク的な上昇も確実に抑えることができる。

【 0 0 5 7 】

一方、ここで用いる障壁層 B 1 ～ B 3 の幅 d_1 、 d_3 、 d_5 については以下の条件が望ましい。

【 0 0 5 8 】

$d_1 > 2.5$ オングストローム

$d_3 > 2.5$ オングストローム

$d_5 > 2.5$ オングストローム

さらに、以下の条件を満たすことがより望ましい。

【 0 0 5 9 】

$d_1 > 3.5$ オングストローム

$d_3 > 3.5$ オングストローム

$d_5 > 3.5$ オングストローム

$2.5 > (d_1 / \epsilon_1 + d_3 / \epsilon_2 + d_5 / \epsilon_3)$

ここで、 ϵ_1 、 ϵ_2 、 ϵ_3 は、それぞれ障壁層 B 1、B 2、B 3 の比誘電率である。

【 0 0 6 0 】

これら障壁層の幅に関する条件は、図 1 及び図 2 に例示したような、単一型の量子井戸構造の場合の条件と同様の考え方から導出したものである。

【 0 0 6 1 】

また一方、2重量子井戸構造において、井戸層 W 1、W 2 にそれぞれ異なる物質を使用することにより、井戸層内部にできるエネルギーレベルをずらすことも可能である。また、障壁層 B 1 ～ B 3 に用いる物質も全ての障壁層について同じ物質を用いる必要はなく、本発明の絶縁膜の上下に設けられる材料や構造に応じて、また、成膜の安定度や手順などに合わせて、その都度、最適の物質を選べば良い。

【 0 0 6 2 】

2重量子井戸構造を用いた絶縁膜構造において、上記の考えかたと発想を変えて構造を設計することも可能である。すなわち、電圧が印加されていない状態に

において二つの井戸層W 1、W 2のエネルギーレベルを大きくずらしたものにすることはなく、初めから印加電圧によるポテンシャルの「ずれ」を考慮して設計することができる。この場合、電圧が印加されていない状態においては、2つの井戸層のエネルギーレベルは近接しまたは同一となる場合もある。

【 0 0 6 3 】

例えば、二つの井戸層の幅を同一にした場合がそれにあたる。単一量子井戸構造の場合と同じように構成すると（それぞれの井戸層W 1、W 2の幅 d_2 、 d_4 は5オングストローム以下が望ましい）、印加電圧が加わっていないときには、1 e Vぎりぎりの障壁しかないが、電圧が印加されると、実効的な障壁が高くなる。この場合、井戸層の内のエネルギーレベルは一つ、あるいは二つ程度しかなく、二つある場合もそのエネルギー差が1. 5 e V以上であるように設計することが可能である。

【 0 0 6 4 】

このようにすれば、本発明の絶縁膜をM I Mなどの半導体装置に応用した場合に、バイアス電圧を印加しても、井戸層間のエネルギーレベルの一致は発生しない。しかも、井戸層を構成するのに必要な膜厚を小さくできるため、キャパシタンスを大きくしたい場合には特に有効である。ただし、この場合、井戸層W 1、W 2の間に相互作用が働かないように、両者の間に幅3. 5オングストローム以上の障壁層B 2が必要である。障壁層B 2の幅 d_3 を小さくした場合、エネルギーレベルに拮がりが出て、電圧が加わっているときにも、レベルが一致してしまい、実効的な障壁高さが、0. 7 e V程度に下がってしまい、高い性能は期待できないおそれがある。

【 0 0 6 5 】

同様の作用は、後に説明するように3層以上の量子井戸層を設けた多重量子井戸構造においても同様であり、障壁層の幅が2. 5オングストロームよりも小さい場合、井戸層を重ねるほどレベルの拮がりが大きくなってしまふことを理解した上で量子井戸構造を設計する必要がある。

【 0 0 6 6 】

本発明の絶縁膜の場合、多重量子井戸構造においては量子井戸間の障壁層の厚

みを 3.5 オングストローム以上とする点は、重要である。障壁層の厚みが薄くなると、上述したように井戸層の量子レベルが幅を持ち、電子の閉じ込めが弱くなり、運動エネルギーの面から非常に得をする。しかし、本発明においては、この運動エネルギーの分のエネルギー損失があっても、エネルギーレベル間に相互作用ができる限りないように設計することがポイントである。

【0067】

次に、3 重量子井戸構造を用いた絶縁膜構造について説明する。

【0068】

図 8 は、3 重量子井戸構造を有する絶縁膜の断面構造を例示する模式図である。すなわち、第 1 乃至第 3 の井戸層 W1、W2、W3 が、第 1 乃至第 4 の障壁層 B1～B4 に挟まれた構造を有する。井戸層 W1～W3 は、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層 B1～B4 は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0069】

図 9 は、3 重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【0070】

図 8 及び図 9 に例示した 3 重量子井戸構造の場合、第 1 の井戸層 W1 と第 3 の井戸層 W3 の幅 d_2 、 d_6 が同一であり、第 2 の井戸層 W2 の幅 d_4 は第 1、第 3 の井戸幅と異なる。このようにすると、電圧を印加した時に、全ての量子井戸層の間で量子化エネルギーレベルが一致することによるバンドオフセットの低下を防ぐことができる。

【0071】

すなわち、電圧を印加して第 1 の井戸層 W1 と第 2 の井戸層 W2 のレベルが一致する場合は、第 3 の井戸層 W3 のレベルは、これらのレベルとは異なる。このような井戸層同士のエネルギーレベルの調節は、井戸幅や障壁層の厚みや材料などを適宜設定することで実現できる。ここでも、井戸層と障壁層を構成する代表的な物質は、上述したものと同様である。

【 0 0 7 2 】

本発明では、絶縁膜のトンネル障壁の高さを 1.5 eV から 3 eV 以上（障壁層の物質のバンドオフセットに対応した値）にまで高めることが可能となる。ただしその条件としては、第 1 乃至第 3 の井戸層 $W1 \sim W3$ 内にできるエネルギーレベルが、電圧印加時に図 6 に例示した如く一致しないようにすることである。

【 0 0 7 3 】

例えば、第 1 と第 3 の井戸層の幅 $d2$ 、 $d6$ が同一であり、かつ 5 オングストローム 以下であり、第 2 の井戸層 $W2$ の幅 $d4$ が 5 オングストローム より大きく 10 オングストローム 未満であれば、この条件は満たされる。

【 0 0 7 4 】

障壁層の厚みに関してはこれまでと同様の条件が必要となってくる。すなわち

$$d1 > 2.5\text{ オングストローム}$$

$$d3 > 2.5\text{ オングストローム}$$

$$d5 > 2.5\text{ オングストローム}$$

$$d7 > 2.5\text{ オングストローム}$$

さらに、以下の条件を満たすことがより望ましい。

【 0 0 7 5 】

$$d1 > 3.5\text{ オングストローム}$$

$$d3 > 3.5\text{ オングストローム}$$

$$d5 > 3.5\text{ オングストローム}$$

$$d7 > 3.5\text{ オングストローム}$$

$$2.5 > (d1/\epsilon_1 + d3/\epsilon_2 + d5/\epsilon_3 + d7/\epsilon_4)$$

ここで、 ϵ_1 、 ϵ_2 、 ϵ_3 、 ϵ_4 は、それぞれ障壁層 $B1$ 、 $B2$ 、 $B3$ 、 $B4$ の比誘電率である。

【 0 0 7 6 】

井戸層 $W1$ 、 $W2$ 、 $W3$ に異なる物質を使用し、井戸層内部にできるエネルギーレベルを異なるものにすることも可能であることは 2 重井戸の場合と同じである。また障壁層 $B1 \sim B4$ に用いる物質も、全ての障壁層に同じ物質を用いる必

要がないことも2重量子井戸の場合と同じである。

【0077】

【実施例】

次に、実施例を参照しつつ本発明の実施の形態についてさらに詳細に説明する。
。 単一量子井戸構造または多重量子井戸構造を用いた本発明の絶縁膜は、スパッタ法や、レーザーアブレーション法、化学気相成長法（CVD）などによっても製造することができるが、以下の実施例では、全て分子線エピタキシー（MBE）法によって薄膜を成長させた。

【0078】

まず、共通に用いられている分子線エピタキシー装置について説明する。真空容器はクライオポンプにより排気されている。到達真空度は、 10^{-6} パスカル以下であった。真空容器内には基板ホルダが設けられ、この基板ホルダに基板が設置される。基板ホルダはヒーターにより加熱される。基板に対向するように複数のクヌーセンセル（knudsen cell）が設けられており、それぞれのクヌーセンセルの開口部には、セルシャッターが設けられている。各クヌーセンセルには、以下の実施例において成膜される薄膜の構成金属元素である、バリウム（Ba）、ストロンチウム（Sr）、カルシウム（Ca）、セリウム（Ce）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、タンタル（Ta）、ルテニウム（Ru）、ランタン（La）、イットリウム（Y）、ガドリニウム（Gd）、ニオブ（Nb）、バナジウム（V）の各元素の金属が充填されている。

【0079】

また、薄膜を得るために必要とされる酸化反応を起こすために、液体オゾン貯蔵室で気化した純オゾンガスをノズルから噴出して基板に照射できるようにされている。ノズルと基板との間には、必要に応じてオゾンシャッターが挿入される。

【0080】

（第1の実施例）

まず、本発明の第1の実施例として、 $\text{SrO}/\text{CeO}_2/\text{SrO}$ という単一量子井戸構造を有する絶縁膜を用いたMOSFET（MOS型電界効果トランジス

タ) について説明する。

【0081】

図10は、本発明の第1の実施例のMOSFETのゲート絶縁膜部分の断面図である。すなわち、本実施例のFETは、シリコン基板11の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜12を介してゲート電極16が設けられている。ゲート絶縁膜は、SrO障壁層13、CeO₂井戸層14、SrO障壁層15を積層させた単一量子井戸構造を有する。

【0082】

以下、この絶縁膜12について、その製造手順に沿ってさらに詳細に説明する。

【0083】

すなわち、主面が(111)のSi基板11の上に、まず、SrO(111)層13をエピタキシャル成長させた。SrO層の厚みはおよそ7.5オングストロームとした。より具体的には、まず、ストロンチウム(Sr)のみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、1/3ML(monatomic layer:原子層)成長させ、その後圧力 10^{-6} パスカル、基板温度は700℃においてSrOをオゾンフラックス 1.2×10^{12} 分子/秒 cm^2 にて成膜を行った。初期の1/3MLのストロンチウム(Sr)層は、この段階で酸化されてSrO層へと変化した。

【0084】

この700℃での成膜は、更に200℃程度の低温でも可能であることが実験により確かめられているが、その後にCeO₂成膜で700℃とするために、700℃での成膜を選択している。CeO₂の部分が更に低温で成膜可能な物質であれば、あるいはCeO₂での低温での成膜の可能性が広がってくれば、更に低温での成膜で一連の絶縁膜構造を作成できる。

【0085】

次に、成膜したSrO膜の上にCeO₂(111)層14を4.7オングストロームだけエピタキシャル成膜させた。このCeO₂成膜時の圧力は、 10^{-6}

パスカル、基板温度は700℃であり、オゾンフラックスは 8.8×10^{12} 分子/秒 cm^2 とした。

【0086】

さらに、この CeO_2 膜の上に SrO (111) 膜15を圧力は 10^{-6} パスカル、基板温度は700℃、オゾンフラックス 1.2×10^{12} 分子/秒 cm^2 にて、7.5オングストロームだけエピタキシャル成長させ、その上にゲート電極16として、金(Au)を蒸着により成膜した。

【0087】

このようにして得られた絶縁膜12は、 SiO_2 膜厚に換算した膜厚(EOT)が6.5オングストロームと小さい絶縁膜であった。また、5MV/cmの電界をかけた時のリーク電流を測定すると、 10^{-4} A/cm^2 という非常に小さな値が得られた。

【0088】

比較例として、Si上に CeO_2 のみを成膜した絶縁膜と、 SiO_2 膜のみを成膜した絶縁膜について、EOTにおける5MV/cmでのリーク電流を測定すると、それぞれ、 1 A/cm^2 、 10^5 A/cm^2 (外挿値)であった。すなわち、これら比較例の絶縁膜は、本実施例と比較して、リーク電流が 10^4 倍、 10^9 倍にも達していることが分かった。このように、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが分かった。

【0089】

また、さらに、 SrO 膜13、15の代わりに、(Ba, Sr)Oを使っても同様の効果が得られた。この混晶を使うと、格子定数をかなりの範囲で自由に变化させられるので、エピタキシャル成長させる時に、下地基板の格子定数に合わせることでより容易となる。

【0090】

本実施例では、Si基板上において、 $(\text{Ba}_{0.71}, \text{Sr}_{0.29})\text{O}$ をエピタキシャル成長させたところ、障壁層13、15の膜質が著しく向上した。この薄膜を障壁層として、上記と同じ単一量子井戸型ゲート絶縁膜、すなわち(Ba, Sr)O (9.4オングストローム) / CeO_2 (4.7オングストローム

) / (Ba, Sr)O (9.4 オングストローム) という構造の量子井戸絶縁膜を構成したところ、EOTは4.3 オングストロームとなった。

【0091】

これは、(Ba, Sr)Oの誘電率がSrOに比べて高いことによる効果が非常に大きいことを意味する。5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 10^{-2} A/cm^2 という非常に小さな値が得られた。

【0092】

比較例として、SiO₂膜のみを用いた絶縁膜において、同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると、 10^6 A/cm^2 であり、 10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0093】

(Ba, Sr)Oを用いた場合、SrOに比べて界面のひずみによる界面準位密度を一桁以上減らすことができた。このことの効用はSi上にエピタキシャル成長し易いというだけにとどまらず、界面準位によるトランジスタの移動度低下を抑制できる点で大きい。今回の試作では、トランジスタの移動度は25%以上の改善を示した。

【0094】

(第2の実施例)

次に、本発明の第2の実施例として、SrO/SrTiO₃ (以下STOと略することもある) / SrOという単一量子井戸構造を有する絶縁膜を用いたMOSFETについて説明する。

【0095】

図11は、本発明の第2の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0096】

すなわち、本実施例のFETは、シリコン基板21の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜22を介してゲート電極26が設けられている。ゲート絶縁膜は、S

r O障壁層 23、STO井戸層 24、SrO障壁層 25を積層させた単一量子井戸構造を有する。

【0097】

これを製造工程に従って説明する。まず、主面が(001)のSi基板21の上にSrO(001)層23をエピタキシャル成長させた。SrO層23の厚みはおよそ5.2オングストロームとした。具体的には、まず、Srのみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、1/4ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は600℃においてSrOをオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行った。初期に成膜したSrの1/4MLは、この段階で酸化されSrO層へと変化した。

【0098】

次に、その上にSrTiO₃(001)層24を3.9オングストロームだけエピタキシャル成膜させた。この時、圧力は 10^{-6} パスカル、基板温度は600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。

【0099】

次に、このSrTiO₃層24の上にSrO(001)層25を、膜厚およそ5.2オングストロームだけエピタキシャル成長させた。SrO成膜の条件はSrTiO₃膜の成長条件と同一にすることが可能であったので、全く同じものとした。その上にゲート電極26として、金を蒸着により成膜した。

【0100】

このようにして得られた絶縁膜は、SiO₂膜厚に換算した膜厚(EOT)が4.1オングストロームと小さいゲート絶縁膜であった。また、5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 2×10^{-2} A/cm²という非常に小さな値が得られた。

【0101】

比較例として、SiO₂膜のみを設けた場合について、同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると 10^6 A/cm²であり、 5×10^7 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0102】

(第3の実施例)

次に、本発明の第3の実施例として、 $\text{SrO}/\text{STO}/\text{SrO}/\text{STO}/\text{SrO}$ という2重量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

【0103】

図12は、本発明の第3の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0104】

すなわち、本実施例のFETは、シリコン基板31の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜32を介してゲート電極38が設けられている。ゲート絶縁膜は、 SrO 障壁層33、 STO 井戸層34、 SrO 障壁層35、 STO 井戸層36、 SrO 障壁層37をこの順に積層させた2重量子井戸構造を有する。

【0105】

これを製造工程に従って説明する。まず、主面が(001)のSi基板31の上に SrO (001)層33をエピタキシャル成長させた。 SrO 層33の厚みはおよそ7.8オングストロームとした。具体的には、まず、Srのみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、 $1/4\text{ML}$ 成長させ、その後圧力を 10^{-6} パスカル、基板温度は600℃において SrO をオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行っている。

【0106】

その上に、 SrTiO_3 (001)層34を3.9オングストロームだけエピタキシャル成膜させた。この時、圧力は 10^{-6} パスカル、基板温度は600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0107】

この後の SrO 層35、 SrTiO_3 層36、 SrO 層37の成膜は、これらの条件と同様にして行った。

【0108】

すなわち、 SrTiO_3 層 3 4 の上に SrO (0 0 1) 膜 3 5 を膜厚およそ 5 . 2 オングストロームだけエピタキシャル成長させ、 SrTiO_3 (0 0 1) 層 3 6 を 7 . 8 オングストロームだけエピタキシャル成膜させた。さらに、この SrTiO_3 層 3 6 の上に SrO (0 0 1) 層 3 7 を膜厚およそ 7 . 8 オングストロームだけエピタキシャル成長させ、その上にゲート電極 3 8 として、金を蒸着により成膜した。

【 0 1 0 9 】

このようにして得られた絶縁膜 3 2 は、 SiO_2 膜厚に換算した膜厚 (EOT) が 8 . 3 オングストロームと小さいゲート絶縁膜であった。また、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 10^{-6} A/cm^2 という非常に小さな値が得られた。

【 0 1 1 0 】

比較例として、 SiO_2 膜のみの絶縁膜において同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^3 A/cm^2 であり、 10^9 倍にも達していることから、井戸幅の違う二つの量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが証明された。

【 0 1 1 1 】

電圧をかけていった場合に、特殊なケースとして、二つの井戸層 3 4、3 6 内の状態がエネルギー的に一致することがありうる。このような場合はバンドオフセットが低下してしまうので、この点に注意してゲート構造を設計する必要がある。本実施例でいえば、 $5 . 7 \text{ MV/cm}$ という電界付近において急激にリーク電流が増える現象がみられた。基本的にこの電界以下で使用するようにすればよい。または、後に第 5 実施例に関して詳述するような 3 重井戸構造とすることによって、この状況の回避は可能である。

【 0 1 1 2 】

(第 4 の実施例)

次に、本発明の第 4 の実施例として、前述した第 3 実施例の 2 重量子井戸構造の膜厚を変えた絶縁膜について説明する。

【 0 1 1 3 】

すなわち、絶縁膜の積層構造としては、 $\text{SrO}/\text{SrTiO}_3/\text{SrO}/\text{SrTiO}_3/\text{SrO}$ であり、全ての SrO 層の膜厚は、5.2オングストローム、全ての SrTiO_3 層の膜厚は3.9オングストロームに統一して作成した。成膜方法は、第3実施例の場合と同じである。

【0114】

本実施例の絶縁膜の場合、電圧印加前にはバンドオフセットが1eV程度であったが、井戸層間に相互作用がほとんど無いため、5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 $10^{-5}\text{A}/\text{cm}^2$ という非常に小さな値が得られた。すなわち、電圧印加時には、実質バンドオフセットが上昇していることが確認できた。また、 SiO_2 膜厚に換算した膜厚(EOT)は、6.2オングストロームと小さいゲート絶縁膜であった。

【0115】

(第5の実施例)

次に、本発明の第5の実施例として、 $\text{SrO}/\text{STO}/\text{SrO}/\text{STO}/\text{SrO}/\text{STO}/\text{SrO}$ という3重量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

図13は、本発明の第5の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0116】

すなわち、本実施例のFETは、シリコン基板41の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜42を介してゲート電極410が設けられている。ゲート絶縁膜は、 SrO 障壁層43、 STO 井戸層44、 SrO 障壁層45、 STO 井戸層46、 SrO 障壁層47、 STO 井戸層48、 SrO 障壁層49をこの順に積層させた3重量子井戸構造を有する。

【0117】

これを製造工程に従って説明する。まず、主面が(001)のSi基板31の上に SrO (001)層43をエピタキシャル成長させた。 SrO 層33の厚みはおよそ5.2オングストロームとした。具体的には、まず、Srのみをオゾン

なしで、 10^{-7} パスカル、基板温度は 850°C にて、 $1/4\text{ML}$ 成長させ、その後圧力を 10^{-6} パスカル、基板温度は 600°C において SrO をオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行った。

【0118】

次に、その上に SrTiO_3 (001) 層44を3.9オングストロームだけエピタキシャル成膜させた。基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0119】

この後の SrO 、 SrTiO_3 、 SrO 、 SrTiO_3 、 SrO の成膜は、これらの条件を保って行った。すなわち、更にこの SrTiO_3 層44の上に SrO (001) 層45を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、 SrTiO_3 (001) 層46を7.8オングストロームだけエピタキシャル成膜させた。さらに、この SrTiO_3 層46の上に SrO (001) 層47を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、その上に SrTiO_3 (001) 層48を3.9オングストロームだけエピタキシャル成膜させた。さらに、この SrTiO_3 層48の上に SrO (001) 層49を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、その上にゲート電極410として、金を蒸着により成膜した。

【0120】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) は、8.4オングストロームと小さいゲート絶縁膜であった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-6}\text{A}/\text{cm}^2$ という非常に小さな値を得ている。この結果は、前述した実施例とほぼ一致している。

【0121】

比較例として、 SiO_2 膜のみからなる絶縁膜の場合の同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^3\text{A}/\text{cm}^2$ であり、 10^9 倍にも達していることから、井戸幅の違う3つの量子井戸構造を交互に絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0122】

本発明の3重井戸の場合、電圧をかけていった場合にも、急激にリーク電流が増える現象は見られなかった。この点が2重井戸の場合との違いである。

【0123】

(第6の実施例)

次に、本発明の第6の例として、本発明の絶縁膜を用いたMIM(金属・絶縁体・金属)キャパシタについて説明する。

【0124】

図14は、本実施例のMIMキャパシタの断面図である。この構造について、その製造工程に従って説明する。

【0125】

まず、主面が(001)の SrTiO_3 基板51にキャパシタをMBEを用いて作成するが、この時ゲート絶縁膜52に構造を持たせた。具体的には、 SrRuO_3 電極53を SrTiO_3 基板51上にエピタキシャル成長させ、その上に SrO (001)層54をエピタキシャル成長させた。 SrO 層54の厚みはおよそ5.2オングストロームとした。

【0126】

次に、その上に SrTiO_3 (001)層55を3.9オングストロームだけエピタキシャル成膜させた。さらに、この SrTiO_3 層55の上に SrO (001)層56を先ほどと同じ膜厚およそ5.2オングストロームだけエピタキシャル成長させ、その上に SrRuO_3 電極57をエピタキシャル成長させた。

【0127】

全体を通して、圧力 10^{-6} パスカル、基板温度は600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。

【0128】

このよにして得られたキャパシタは、 SiO_2 膜厚に換算した膜厚(EOT)は、4.1オングストロームと小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $2 \times 10^{-2}\text{A}/\text{cm}^2$ という非常に小さな値が得られた。

【 0 1 2 9 】

比較例として、 SiO_2 膜のみからなる絶縁膜について、同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^6 A/cm^2 であり、 5×10^7 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【 0 1 3 0 】

(第 7 の実施例)

次に、本発明の第 7 の実施例として、 Ce -シリケート (silicate) / CeO_2 / SrO という単一量子井戸構造を有する絶縁膜を設けた MOSFET について説明する。

【 0 1 3 1 】

図 15 は、本発明の第 7 の実施例の MOSFET のゲート絶縁膜の部分の断面図である。

【 0 1 3 2 】

すなわち、本実施例の FET は、シリコン基板 61 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 62 を介してゲート電極 66 が設けられている。ゲート絶縁膜は、 Ce -シリケート (silicate) 障壁層 63、 CeO_2 井戸層 64、 SrO 障壁層 65 をこの順に積層させた単一量子井戸構造を有する。

【 0 1 3 3 】

これを製造工程に従って説明する。まず、主面が (111) の Si 基板 61 の上に CeO_2 (111) 層 64 をエピタキシャル成長させた。 CeO_2 層の厚みはおおよそ 8.2 オングストロームとした。

【 0 1 3 4 】

具体的には、まず、 Si 基板表面を HF 処理と NH_4F により水素終端し、しかる後に CeO_2 を成膜した。圧力は 10^{-6} パスカル、基板温度は 700°C 、オゾンフラックスは 8.8×10^{12} 分子/秒 cm^2 であった。次に、この CeO_2 層の上に、 SrO (111) 膜 65 を圧力は 10^{-6} パスカル、基板温度は 700°C 、オゾンフラックス 1.2×10^{12} 分子/秒 cm^2 にて、7.5 オ

ングストロームだけエピタキシャル成長した。この段階で、800℃30秒の酸素アニールを行った。この時、SiとCeO₂との界面には、Ceシリケート障壁層63が3.5オングストローム程度の厚みに成長し、これを井戸構造の障壁とすることができた。その上にゲート電極66として、金を蒸着により成膜した。

【0135】

このようにして得られた絶縁膜は、SiO₂膜厚に換算した膜厚(EOT)が3.8オングストロームと小さい絶縁膜であった。また、5MV/cmの電界をかけた時のリーク電流を測定すると、 $3 \times 10^{-2} \text{ A/cm}^2$ という小さな値を得ている。

【0136】

比較例として、SiO₂膜のみからなる絶縁膜において同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると 10^7 A/cm^2 であり、 3×10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0137】

また、CeO₂エピタキシャル成長の代わりに、La₂O₃、Y₂O₃、Gd₂O₃、SrTiO₃などをエピタキシャル成長させた井戸層を用いてもよい。これらの場合、それぞれ、薄膜障壁層としてLaシリケート、Yシリケート、Gdシリケート、SiO₂をアニールによって作ることが可能であり、量子井戸構造を形成できる。いずれの場合も、EOTを4～6オングストローム程度に作成可能であり、リーク電流が $10^{-2} \sim 10^{-4} \text{ A/cm}^2$ 程度の特徴が得られている。同じEOTのSiO₂膜の場合に比べて、 $10^8 \sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0138】

(第8の実施例)

次に、本発明の第8の実施例として、Hf-シリケート(silicate)/HfO₂/SrOという単一量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

【 0 1 3 9 】

図 1 6 は、本発明の第 8 の実施例の M O S F E T のゲート絶縁膜の部分の断面図である。

【 0 1 4 0 】

すなわち、本実施例の F E T は、シリコン基板 7 1 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 7 2 を介してゲート電極 7 6 が設けられている。ゲート絶縁膜は、H f - シリケート (silicate) 障壁層 7 3、H f O₂ 井戸層 7 4、S r O 障壁層 7 5 をこの順に積層させた単一量子井戸構造を有する。

【 0 1 4 1 】

これを製造工程に従って説明する。まず、主面が (1 1 1) の S i 基板 7 1 の上に H f O₂ 層 7 4 を成長させた。

【 0 1 4 2 】

この時、エピタキシャル成長はせず、アモルファス状態であった。今回は M B E 装置を使っているが、層状成長をさせることができるのであれば、例えば C V D も有力な成膜手法となる。H f O₂ 層の厚みはおよそ 8. 2 オングストロームとした。具体的には、まず、S i 基板 7 1 の表面を H F 処理と N H₄ F により水素終端し、しかる後に H f O₂ を成膜した。圧力は 1 0⁻⁶ パスカル、基板温度は 7 0 0 °C、オゾンフラックスは 8. 8 × 1 0¹² 分子/秒 c m² であった。

【 0 1 4 3 】

次に、この H f O₂ 層の上に S r O (1 1 1) 層 7 5 を形成した。この際に、圧力は 1 0⁻⁶ パスカル、基板温度は 7 0 0 °C、オゾンフラックス 1. 2 × 1 0¹² 分子/秒 c m² にて、7. 5 オングストロームだけ成長させた。この段階で、8 0 0 °C で 3 0 秒間の酸素中アニールを行った。このアニールによって、S i 基板 7 1 と H f O₂ 層 7 4 との界面には H f シリケート層 7 3 が 3. 5 オングストローム程度の厚みに成長し、これを井戸構造の障壁層とすることができた。その上にゲート電極 7 6 として、金を蒸着により成膜した。

【 0 1 4 4 】

このようにして得られた絶縁膜は、S i O₂ 膜厚に換算した膜厚 (E O T) は

、6.8オングストロームと小さい絶縁膜であった。また、 $5\text{MV}/\text{cm}$ の電界をかけた時のリーク電流を測定すると、 $10^{-4}\text{A}/\text{cm}^2$ という小さな値が得られた。

【0145】

比較例として、 SiO_2 膜のみからなる絶縁膜の同じEOTにおける、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^5\text{A}/\text{cm}^2$ であり、 10^9 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0146】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Al_2O_3 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 AlON 、 TaON 、 TiON のアモルファス薄膜を用いても、それぞれ、 Si との界面に薄膜障壁構造として Zr シリケート、 Al シリケート、 Ta シリケート、 Ti シリケート、 Hf シリケート、 Zr シリケート、 Al シリケート、 Ta シリケート、 Ti シリケートをアニールによって作ることが可能であり、井戸構造を作成することが可能であった。

【0147】

さらに、 HfO_2 アモルファス薄膜の代わりに SrTiO_3 、 SrZrO_3 、 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても Si との界面に薄膜障壁構造として SiO_2 薄膜を作ることが可能であり、井戸構造を作成することが可能であった。

【0148】

いずれの場合も、EOTを5～9オングストローム程度に作成可能であり、リーク電流が $10^{-2}\sim 10^{-6}\text{A}/\text{cm}^2$ 程度の特徴が得られている。同じEOTの SiO_2 膜の場合に比べて、 $10^8\sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたといえる。

【0149】

(第9の実施例)

次に、本発明の第9の実施例として、 $\text{SrO}/\text{Ca}(\text{Ti}, \text{Zr})\text{O}_3$ (以下

CTZOと略す場合がある) / SrOという単一量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

【0150】

図17は、本発明の第8の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0151】

すなわち、本実施例のFETは、ひずみシリコン-SOI (silicon on insulator) 基板81の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜82を介してゲート電極86が設けられている。ゲート絶縁膜は、SrO障壁層83、CTZO井戸層84、SrO障壁層85をこの順に積層させた単一量子井戸構造を有する。

【0152】

まず、ひずみSi-SOIの形成方法についてに説明すると以下の如くである。

【0153】

最初に、CVDによりSi基板上にSiGeバッファ層と、応力緩和SiGe層を形成した。次に、SIMOX (separation by implanted oxygen) 法によって、酸素注入を行った。酸素のドーズ量は、 $4 \times 10^{17} \text{ cm}^{-2}$ とした。その後、1350℃の高温で6時間に渡りアニールを行って第1SiGe層中に埋め込み酸化膜を形成した。この時、ひずんだSiGe層は、1350℃の高温アニールにおけるSiGeと埋め込み酸化膜の界面のすべりにより応力緩和が起こる。その後、Geの高濃度化を行うために、1200℃の酸素中アニールでSiGe層を酸化すると、SiGeと埋め込み酸化膜との界面側にGe濃度の濃縮が発生する。表面側の酸化膜をエッチングにより除去してやると、高濃度Geを含むSiGe薄膜が作成される。この上にCVDによってSiを成長すると、下地のSiGeの格子定数を感じてひずんだSi薄膜が形成される。このようにして、ひずみSi-SIO基板を作成した。

【0154】

次に、主面が(001)のひずみSi基板81にゲート絶縁膜82をMBEを

用いて作成するが、この時ゲート絶縁膜 82 に構造を持たせる。まず SrO (001) 層 83 をエピタキシャル成長させた。 SrO 層の厚みはおよそ 5.2 オングストロームとした。具体的には、まず、 Si 基板表面を HF 処理と NH_4F により水素終端し、しかる後に SrO を成膜した。

【0155】

次に、 Sr のみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は 200°C という低温にて、2ML 成長させ、その後圧力を 10^{-6} パスカル、基板温度は 200°C においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を 30 秒間照射した。これにより SrO 層が 2 層出来上がる (およそ 5.2 オングストローム)。

【0156】

その上に、 $\text{Ca}(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_3$ (001) 層 84 を 3.9 オングストロームだけエピタキシャル成膜させた。この時、圧力は 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。さらにこの $\text{Ca}(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_3$ 膜の上に SrO (001) 膜 85 を、膜厚およそ 5.2 オングストロームだけエピタキシャル成長させた。 SrO 成膜の条件は $\text{Ca}(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_3$ 膜の成長条件と同一にすることが可能であったので、全く同じものとした。その上にゲート電極 86 として、金を蒸着により成膜した。

【0157】

このようにして得られた絶縁膜 82 は、 SiO_2 膜厚に換算した膜厚 (EOT) が、3.2 オングストロームと小さいゲート絶縁膜であった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-2} \text{A}/\text{cm}^2$ という非常に小さな値が得られた。

【0158】

比較例として、 SiO_2 膜のみからなる絶縁膜について、同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^7 \text{A}/\text{cm}^2$ であり、 2×10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0159】

本実施例によって、量子井戸構造をもったゲート絶縁膜は、ひずみSi-SiO₂基板を使ったMOSFETにも適応可能であることが分かった。

【0160】

また、SrO膜の代わりに、(Ba, Sr, Ca)Oを使うことも可能であった。この混晶を使うと、格子定数をかなりの範囲で自由に変化させられるので、エピタキシャル成長させる時に、下地基板の格子定数に合わせることが容易となる。上述したひずみSi基板上で、(Ba_{0.85}, Sr_{0.15})Oを用いてエピタキシャル成長させてやったところ、障壁の膜質が著しく向上した。この薄膜を障壁層として、上記と同じ井戸型ゲート絶縁膜を構成したところ、EOTは2.8オングストロームとなった。5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 $6 \times 10^{-2} \text{ A/cm}^2$ という非常に小さな値を得ている。

【0161】

比較例として、SiO₂膜のみを用いた場合の同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると $2 \times 10^7 \text{ A/cm}^2$ であり、 3×10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0162】

(Ba, Sr)Oを用いた場合、SrOに比べて界面のひずみによる界面準位密度を10分の1以下に減らすことができる。その結果、界面準位によるトランジスタの移動度低下を防ぐことが可能であり、移動度は20%以上の改善を示した。

【0163】

(第10の実施例)

次に、本発明の第10の実施例として、SRO/BSO/BSTO/BSO/SROという単一量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【0164】

図18は、本実施例のMIMキャパシタの断面図である。

【0165】

このMIMキャパシタについて、以下、製造工程に従って説明する。

【0166】

まず、主面が(001)のSi基板91の上に、MBEを用いて SrTiO_3 層98をエピタキシャル成長させた。

【0167】

その内容としては、まず、Si基板表面をHF処理と NH_4F により水素終端し、しかる後にSrOを成膜した。この成膜は、Srのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は 200°C という低温にて、1ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は 200°C においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を15秒間照射する。これによりSrO層が1層出来上がる。その上にTiを1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これにより TiO_2 膜が1ML成長した。これを繰り返すことで、 SrTiO_3 薄膜がSi上にエピタキシャル成長した。

【0168】

次に、その上に SrRuO_3 電極93をエピタキシャル成長させ、その上に $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ (001)層94をエピタキシャル成長させた。(Ba, Sr)O層の厚みはおよそ5.4オングストロームとした。その上に $(\text{Ba}_{0.2}, \text{Sr}_{0.8})\text{TiO}_3$ (001)層95を3.95オングストロームだけエピタキシャル成膜させた。さらにこの $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜の上に $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ (001)層96を先ほどと同じ膜厚およそ5.4オングストロームだけエピタキシャル成長させ、その上に SrRuO_3 電極97をエピタキシャル成長させた。キャパシタ部分の成膜条件としては、圧力 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0169】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚(EOT)が2.1オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$

mという大きな電界をかけた時のリーク電流を測定すると、 10^{-1} A/cm^2 という小さな値が得られた。

【0170】

比較例として、 SiO_2 膜のみの場合の同じEOTにおける、 5 MV/cm でのリーク電流を外挿により求めると 10^8 A/cm^2 以上であり、 10^9 倍にも達していることから、量子井戸構造をMIMキャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0171】

特に、障壁層 ($\text{Ba}_{0.75}\text{Sr}_{0.25}\text{O}$) と、薄い量子化された井戸層 ($\text{Ba}_{0.2}\text{Sr}_{0.8}\text{TiO}_3$) の誘電率が非常に大きく、それぞれ20以上、500以上あるため、量子化によってリーク電流が止められるようになることが、非常に有効であることが分かる。

【0172】

比較例として、($\text{Ba}_{0.2}\text{Sr}_{0.8}\text{TiO}_3$) の厚みを32オングストロームとしたキャパシタを作成した。この時、 SiO_2 膜厚に換算した膜厚 (EOT) は、2.4オングストロームと非常に小さいキャパシタであった。また、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、絶縁破壊してしまった。このことから、リーク電流は、 10^9 A/cm^2 以上という非常に大きな値に達していると推測される。

【0173】

また、この比較例において、本実施例と同じEOTにおける、 5 MV/cm でのリーク電流を外挿により求めると 10^8 A/cm^2 であり、かえって性能が落ちていることが分かった。これは、同じ積層構造でありながら、量子井戸においてエネルギーレベルが量子化されていないことが原因であると考えられる。

【0174】

すなわち、この比較例の構造では、井戸内部の零点振動エネルギーは0.036 eVであり、バンドオフセットの有効な上昇が殆ど得られないと考えられる。また、量子化のレベル間隔も0.1 eVオーダーであり、室温以上の温度では、エネルギーレベルが互いに重なって、レベルは連続化してしまう。つまり、量子

化効果が表れていないような積層構造のキャパシタでは、誘電率の低下は少なからず犠牲にし、膜厚を厚くすることによってリーク電流を止めざるを得ないということが分かった。

【0175】

(第11の実施例)

次に、本発明の第11の実施例として、SRO/BSO/BSTO/BSO/BSTO/BSO/SROという2重量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【0176】

図19は、本実施例のMIMキャパシタの断面図である。

【0177】

このMIMキャパシタについて、以下、製造工程に従って説明する。

【0178】

主面が(001)のSi基板101の上にキャパシタをMBEを用いて作成した。すなわち、第10実施例と同様の方法にて、Si上にまずSrTiO₃層1010をエピタキシャル成長した。その上に、SrRuO₃電極103をエピタキシャル成長させ、その上に(Ba_{0.75}, Sr_{0.25})O(001)層104をエピタキシャル成長させた。(Ba, Sr)O層の厚みはおよそ5.4オングストロームとした。

【0179】

その上に(Ba_{0.2}, Sr_{0.8})TiO₃(001)層105を3.95オングストロームだけエピタキシャル成膜させた。さらにこの(Ba, Sr)TiO₃膜の上に(Ba_{0.75}, Sr_{0.25})O(001)膜106を先ほどと同じ膜厚およそ5.4オングストロームだけエピタキシャル成長させた。さらに、その上に(Ba_{0.2}, Sr_{0.8})TiO₃(001)層107を7.9オングストロームだけエピタキシャル成膜させた。さらに、この(Ba, Sr)TiO₃膜の上に(Ba_{0.75}, Sr_{0.25})O(001)膜108を先ほどと同じ膜厚およそ5.4オングストロームだけエピタキシャル成長させ、その上にSrRuO₃電極109をエピタキシャル成長させた。

【0180】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0181】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が、3.3 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-3} \text{A}/\text{cm}^2$ という小さな値が得られた。

【0182】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $10^7 \text{A}/\text{cm}^2$ 以上であり、 2×10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0183】

また、さらに本実施例の変形例として、本実施例の 2 重量子井戸構造において、電極 SrRuO_3 を成長する前に、 $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ (001) を 5.4 オングストローム、 $(\text{Ba}_{0.2}, \text{Sr}_{0.8})\text{TiO}_3$ (001) を 3.95 オングストロームだけエピタキシャル成長し、その上に電極 SrRuO_3 を成長させた、3 重量子井戸構造の絶縁膜を作成した。

【0184】

この絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が、4.3 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-4} \text{A}/\text{cm}^2$ という小さな値が得られた。

【0185】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $10^6 \text{A}/\text{cm}^2$ 以上であり、 2×10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが分かった。

【 0 1 8 6 】

(第 1 2 の実施例)

次に、本発明の第 1 2 の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という単一量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【 0 1 8 7 】

図 2 0 は、本実施例のMIMキャパシタの断面図である。

【 0 1 8 8 】

この構造について、以下、製造工程に従って説明する。すなわちまず、主面が(001)のSi基板111に上にキャパシタをMBEを用いて作成する。第10実施例と同様の方法により、Si上にまず SrTiO_3 層118をエピタキシャル成長させた。そして、その上に、 SrRuO_3 電極113をエピタキシャル成長させ、その上に Al_2O_3 層114を層状成長させた。この時、 Al_2O_3 はアモルファス薄膜となっており、 Al_2O_3 層の厚みは5オングストロームとした。その上に、 HfO_2 層115を5オングストロームだけ層状成膜させた。さらに、この HfO_2 膜の上に Al_2O_3 層116を、先ほどと同じ膜厚およそ5オングストロームだけ層状成長させた。

【 0 1 8 9 】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は400℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。すなわち、非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【 0 1 9 0 】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚(EOT)が4.8オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-3}\text{A}/\text{cm}^2$ という小さな値が得られた。

【 0 1 9 1 】

比較例として、 SiO_2 膜のみの場合の同じEOTにおける、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $5 \times 10^5\text{A}/\text{cm}^2$ 以上であり、 5×10

⁸ 倍にも達していることから、量子井戸構造をMIMキャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0192】

また、本実施例において、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に井戸構造を作成することが可能であった。

【0193】

他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf -シリケート (silicate)、 Zr -silicate、 Ti -silicateアモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、 EOT を4～9オングストローム程度に作成可能であり、リーク電流が $10^{-2} \sim 10^{-6} \text{ A/cm}^2$ 程度の特性が得られている。同じ EOT の SiO_2 膜の場合に比べて、 $10^8 \sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0194】

(第13の実施例)

次に、本発明の第13の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という2重量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【0195】

図21は、本実施例のMIMキャパシタの断面図である。以下、このキャパシタについて、その製造工程を参照しつつ説明する。

【0196】

まず、主面が(001)の Si 基板121に上にキャパシタをMBEを用いて作成する。すなわち、第10実施例と同様の方法にて、 Si 上にまず SrTiO_3 層1210をエピタキシャル成長させる。その上に SrRuO_3 電極123を

エピタキシャル成長させ、その上に Al_2O_3 層 1 2 4 を層状成長させた。この時、 Al_2O_3 はアモルファス薄膜となっており、 Al_2O_3 層の厚みは 5 オングストロームとした。

【 0 1 9 7 】

次に、その上に HfO_2 層 1 2 5 を 5 オングストロームだけ層状成膜させた。さらに、この HfO_2 層の上に Al_2O_3 層 1 2 6 を先ほどと同じ膜厚およそ 5 オングストロームだけ層状成長させた。

【 0 1 9 8 】

さらに、その上に HfO_2 層 1 2 7 を 1 0 オングストロームだけ層状成膜させ、 HfO_2 層の上に Al_2O_3 層 1 2 8 を膜厚およそ 5 オングストロームだけ層状成長させた。

【 0 1 9 9 】

このようにして、MIMキャパシタの絶縁体部分 1 2 2 に 2 重量量子井戸構造を作成した。最後に、 SrRuO_3 電極 1 2 9 を 5 0 オングストローム成膜した。キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 400°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 の条件により実施した。非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【 0 2 0 0 】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が 8. 1 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-6} \text{A}/\text{cm}^2$ という小さな値が得られた。

【 0 2 0 1 】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $10^3 \text{A}/\text{cm}^2$ 以上であり、 10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが分かった。

【 0 2 0 2 】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2

SrTiO_3 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に 2 重井戸構造を作成することが可能であった。他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf-silicate 、 Zr-silicate 、 Ti-silicate アモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、 EOT を 4 ~ 10 オングストローム程度に作成可能であり、リーク電流が $10^{-3} \sim 10^{-8} \text{ A/cm}^2$ 程度の特徴が得られている。同じ EOT の SiO_2 膜の場合に比べて、 10^9 オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【 0 2 0 3 】

(第 1 4 の実施例)

次に、本発明の第 1 4 の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という 3 重量子井戸構造を有する絶縁膜を設けた MIM について説明する。

【 0 2 0 4 】

図 2 2 は、本実施例の MIM キャパシタの断面図である。以下、このキャパシタについて、その製造工程を参照しつつ説明する。

【 0 2 0 5 】

主面が (0 0 1) の Si 基板 1 3 1 に上にキャパシタを MBE を用いて作成する。第 1 0 実施例と同様の方法にて、 Si 上にまず SrTiO_3 層 1 3 1 2 をエピタキシャル成長させる。その上に、 SrRuO_3 電極 1 3 3 をエピタキシャル成長させ、その上に Al_2O_3 層 1 3 4 を層状成長させた。この時、 Al_2O_3 はアモルファス薄膜となっており、 Al_2O_3 層の厚みは 5 オングストロームとした。

【 0 2 0 6 】

さらにその上に、 HfO_2 層 1 3 5 を 4 オングストロームだけ層状成膜させた。さらに、この HfO_2 層の上に Al_2O_3 層 1 3 6 を先ほどと同じ膜厚およそ

3. 7オングストロームだけ層状成長させた。

【0207】

その上に HfO_2 層137を8オングストロームだけ層状成膜させ、 HfO_2 層の上に Al_2O_3 層138を膜厚およそ3.7オングストロームだけ層状成長させた。その上に、 HfO_2 層139を4オングストロームだけ層状成膜させ、 HfO_2 層の上に Al_2O_3 層1310を膜厚およそ3.7オングストロームだけ層状成長させた。

【0208】

このようにして、MIMキャパシタの絶縁体部分132に3重量量子井戸構造を作成した。最後に、 SrRuO_3 電極1311を50オングストローム成膜した。

【0209】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 400°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【0210】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚(EOT)が9.7オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-8}\text{A}/\text{cm}^2$ 以下という小さな値が得られた。

【0211】

比較例として、 SiO_2 膜の場合の同じEOTにおける、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^2\text{A}/\text{cm}^2$ 以上であり、 2×10^9 倍以上にも達していることから、量子井戸構造をMIMキャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが証明された。

【0212】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 Sr_2Nb_2

○₇、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に3重井戸構造を作成することが可能であった。

【0213】

他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf-silicate 、 Zr-silicate 、 Ti-silicate アモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、 EOT を8～10オングストローム程度に作成可能であり、リーク電流が $10^{-6} \sim 10^{-8} \text{ A/cm}^2$ 以下の特性が得られている。同じ EOT の SiO_2 膜の場合に比べて、 10^9 オーダー以上の改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0214】

以上、本発明の第1乃至第14の実施例において、井戸層として用いた物質や障壁層として用いた物質は、一つの井戸型絶縁体構造の中で同一でない組合せも試作には含まれており、それでも量子井戸構造を作ることができれば、量子井戸型絶縁膜として機能し、 SiO_2 のみからなる絶縁膜と比較して、リーク電流を桁違いに抑制できることが証明された。

【0215】

本発明の実施の形態によれば、物質の組合せには非常に大きな自由度があることが分かったので、非常に広範囲にわたって、必要となる特性を備える組合せを探すことが可能である。

【0216】

【発明の効果】

以上説明したように、従来のいわゆる高誘電体物質は、誘電率が高いために MOSFET や MIM キャパシタを構成した場合に電荷を十分に蓄積できると期待できる物質でありながら、バンドオフセットが小さいが故に、漏れ電流が抑えられない物質でもあった。

【0217】

これに対して、本発明の実施の形態によれば、誘電率が高く、かつ、リーク電

流の小さな絶縁膜及びこれを用いた半導体装置を提供することができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる絶縁膜の断面構造を表す模式図である。

【図 2】

図 1 の絶縁膜 Q I におけるエネルギーバンドダイアグラムを表す模式図である。

【図 3】

絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【図 4】

2 重量子井戸を用いた絶縁膜を例示する模式図である。

【図 5】

2 重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【図 6】

2 重量子井戸構造に電圧が印加された状態のエネルギーダイアグラムを表す模式図である。

【図 7】

絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【図 8】

3 重量子井戸構造を有する絶縁膜の断面構造を例示する模式図である。

【図 9】

3 重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【図 1 0】

M O S F E T における絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には $C e O_2$ を、障壁層には $S r O$ を用いている。

【図 1 1】

M O S F E T における絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には $S r T i O_3$ を、障壁層には $S r O$ を用いている。

【図 1 2】

MOSFETにおける絶縁膜部分に2重量量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。井戸層の膜厚が違っている。

【図 1 3】

MOSFETにおける絶縁膜部分に3重量量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。第一・三の井戸層と第二井戸層の膜厚が違っている。

【図 1 4】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。電極には SrRuO_3 を用いている。

【図 1 5】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には CeO_2 を、障壁層には Ce-silicate (Si 側)と SrO (金属電極側)を用いている。

【図 1 6】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には HfO_2 を、障壁層には Hf-silicate (Si 側)と SrO (金属電極側)を用いている。

【図 1 7】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、ここでは、ひずみ Si-SOI 基板を用いている。井戸層には $\text{Ca}(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_3$ 膜を、障壁層には SrO を用いている。

【図 1 8】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には $(\text{Ba}_{0.2}\text{Sr}_{0.8})\text{TiO}_3$ を、障壁層には $(\text{Ba}_{0.75}\text{Sr}_{0.25})\text{O}$ を用いている。電極には SrRuO_3 を用いている。

【図 1 9】

MIMキャパシタにおける絶縁膜部分に2重量量子井戸を作成した様子を表す断面図であり、井戸層には $(\text{Ba}_{0.2}, \text{Sr}_{0.8})\text{TiO}_3$ を、障壁層には $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ を用いている。電極には SrRuO_3 を用いている。

【図 2 0】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には HfO_3 を、障壁層には Al_2O_3 を用いている。電極には SrRuO_3 を用いている。

【図 2 1】

MIMキャパシタにおける絶縁膜部分に2重量量子井戸を作成した様子を表す断面図であり、井戸層には HfO_3 を、障壁層に Al_2O_3 を用いている。電極には SrRuO_3 を用いている。

【図 2 2】

MIMキャパシタにおける絶縁膜部分に3重量量子井戸を作成した様子を表す断面図であり、井戸層には HfO_3 を、障壁層に Al_2O_3 を用いている。電極には SrRuO_3 を用いている。

【符号の説明】

- 1 1 シリコン基板
- 1 2 ゲート絶縁膜
- 1 3、1 5 障壁層
- 1 4 井戸層
- 1 6 ゲート電極
- 2 1 シリコン基板
- 2 2 ゲート絶縁膜
- 2 3、2 5 障壁層
- 2 4 井戸層
- 2 6 ゲート電極
- 3 1 シリコン基板

- 3 2 ゲート絶縁膜
- 3 3、3 5、3 7 障壁層
- 3 4、3 6 井戸層
- 3 8 ゲート電極
- 4 1 シリコン基板
- 4 2 ゲート絶縁膜
- 4 3、4 5、4 7、4 9 障壁層
- 4 4、4 6、4 8 井戸層
- 4 1 0 ゲート電極
- 5 1 基板
- 5 2 絶縁膜
- 5 3 電極
- 5 4、5 6 障壁層
- 5 5 井戸層
- 5 7 電極
- 6 1 シリコン基板
- 6 2 ゲート絶縁膜
- 6 3、6 5 障壁層
- 6 4 井戸層
- 6 6 ゲート電極
- 7 1 シリコン基板
- 7 2 ゲート絶縁膜
- 7 3、7 5 障壁層
- 7 4 井戸層
- 7 6 ゲート電極
- 8 1 基板
- 8 2 ゲート絶縁膜
- 8 2 絶縁膜
- 8 3、8 5 障壁層

- 8 4 井戸層
- 8 6 ゲート電極
- 9 1 基板
- 9 2 絶縁体部分
- 9 3 電極
- 9 4、9 6 障壁層
- 9 5 井戸層
- 9 7 電極
- 9 8 SrTiO_3 バッファー薄膜
- 1 0 1 シリコン基板
- 1 0 2 絶縁体部分
- 1 0 3 電極
- 1 0 4、1 0 6、1 0 8 障壁層
- 1 0 5、1 0 7 井戸層
- 1 0 9 電極
- 1 0 1 0 SrTiO_3 バッファー薄膜
- 1 1 1 基板
- 1 1 2 絶縁体部分
- 1 1 3 電極
- 1 1 4、1 1 6 障壁層
- 1 1 5 井戸層
- 1 1 7 電極
- 1 1 8 SrTiO_3 バッファー薄膜
- 1 2 1 基板
- 1 2 2 絶縁体部分
- 1 2 3 電極
- 1 2 4、1 2 6、1 2 8 障壁層
- 1 2 5、1 2 7 井戸層
- 1 2 9 電極

1 2 1 0 SrTiO_3 バッファー薄膜

1 3 1 基板

1 3 1 1 電極

1 3 2 絶縁体部分

1 3 3 電極

1 3 4、1 3 6、1 3 8、1 3 1 0 障壁層

1 3 5、1 3 7、1 3 9 井戸層

1 3 1 2 SrTiO_3 バッファー薄膜

B 1 ~ B 4 障壁層

D ドレイン領域

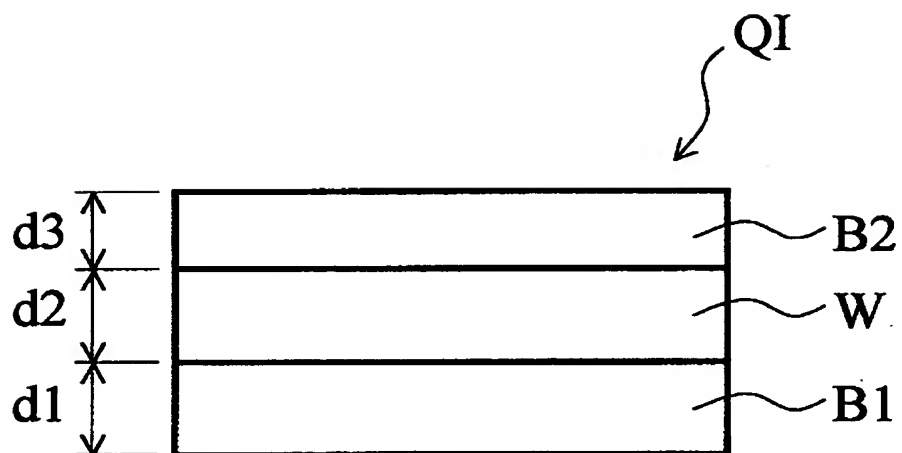
Q I 絶縁膜

S ソース領域

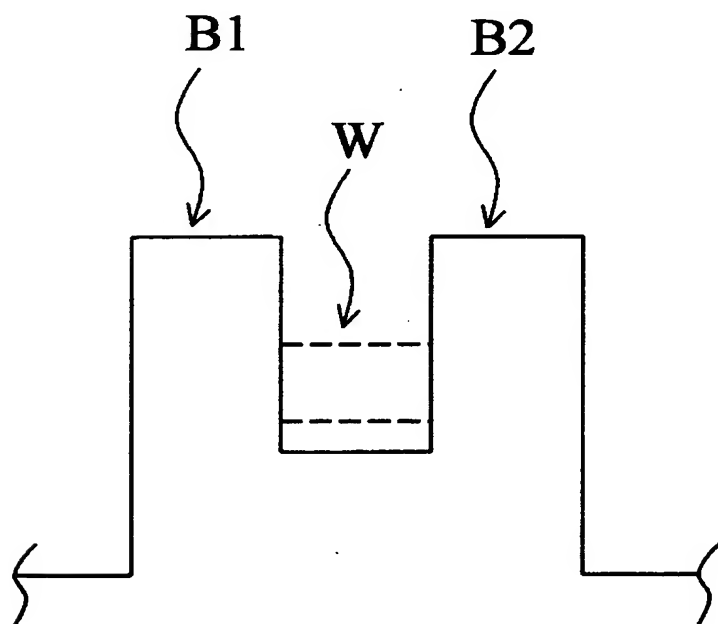
W、W 1 ~ W 3 井戸層

【書類名】 図面

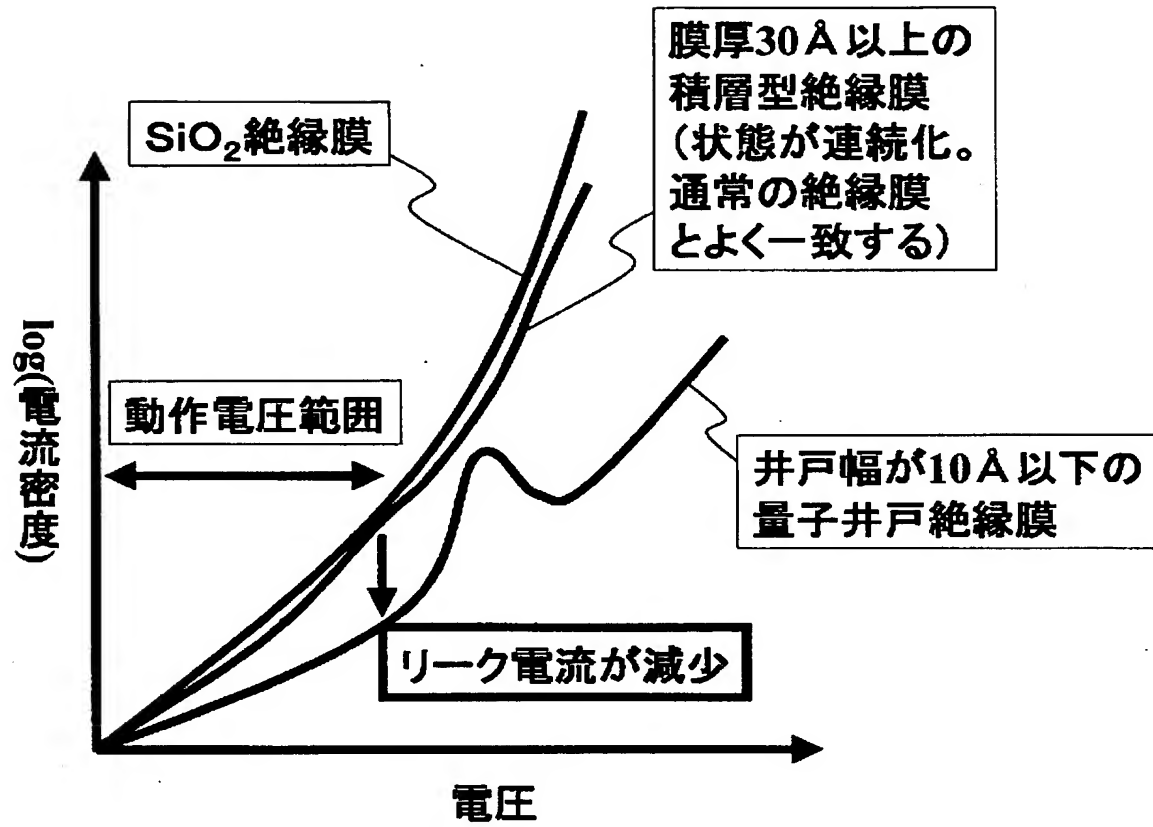
【図 1】



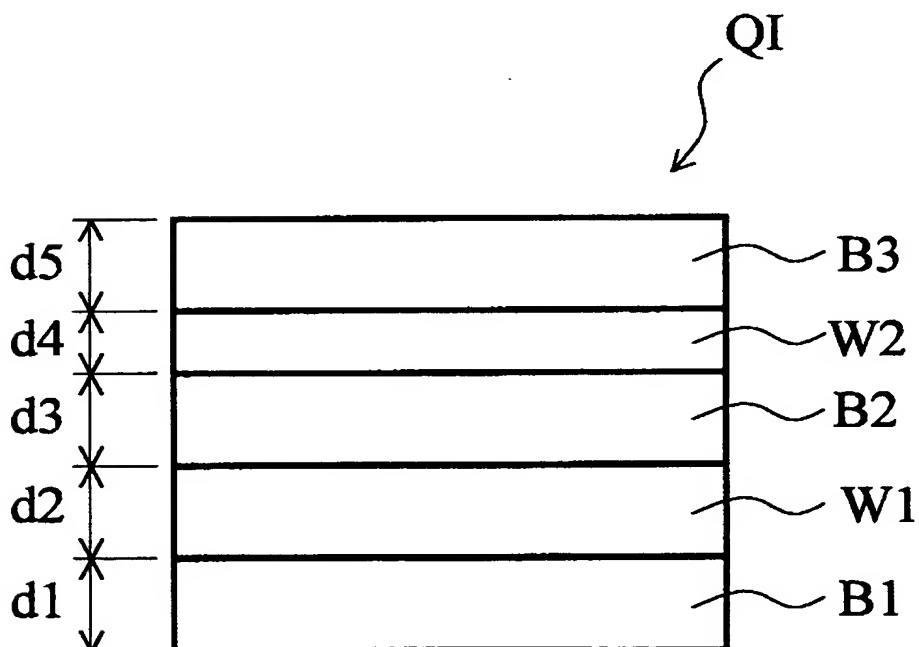
【図 2】



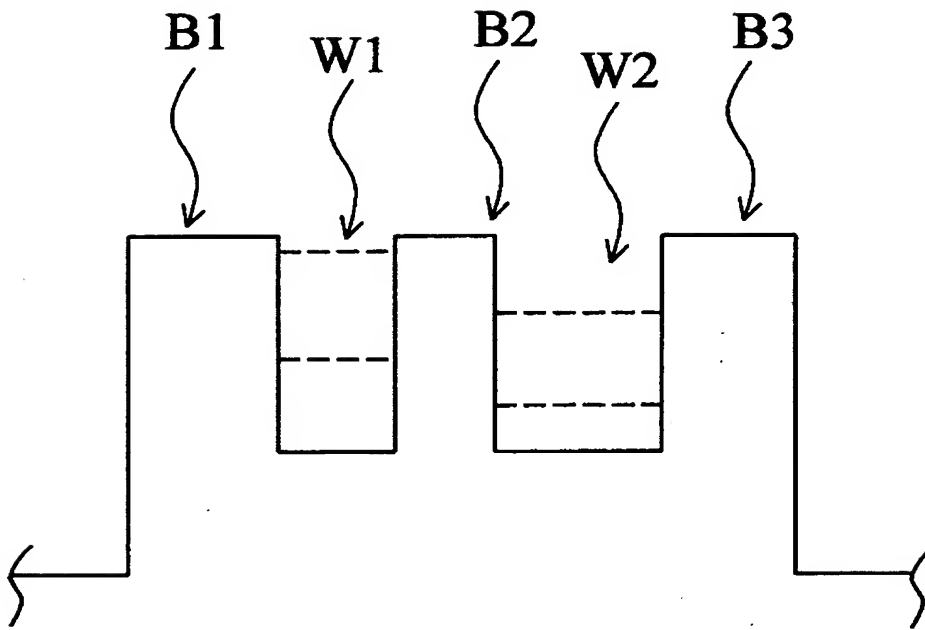
【図3】



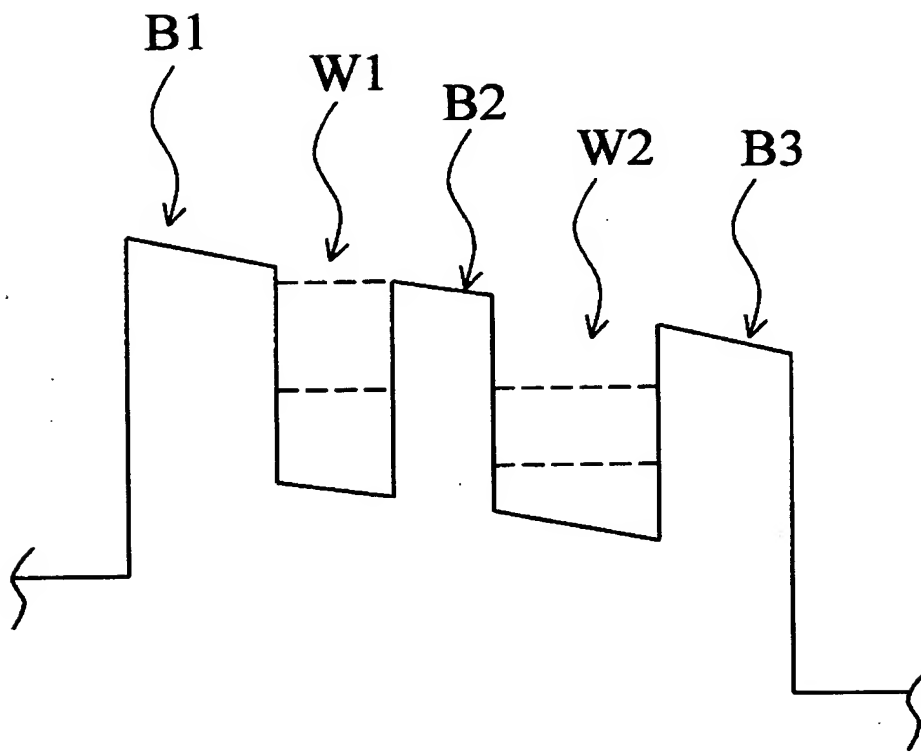
【図4】



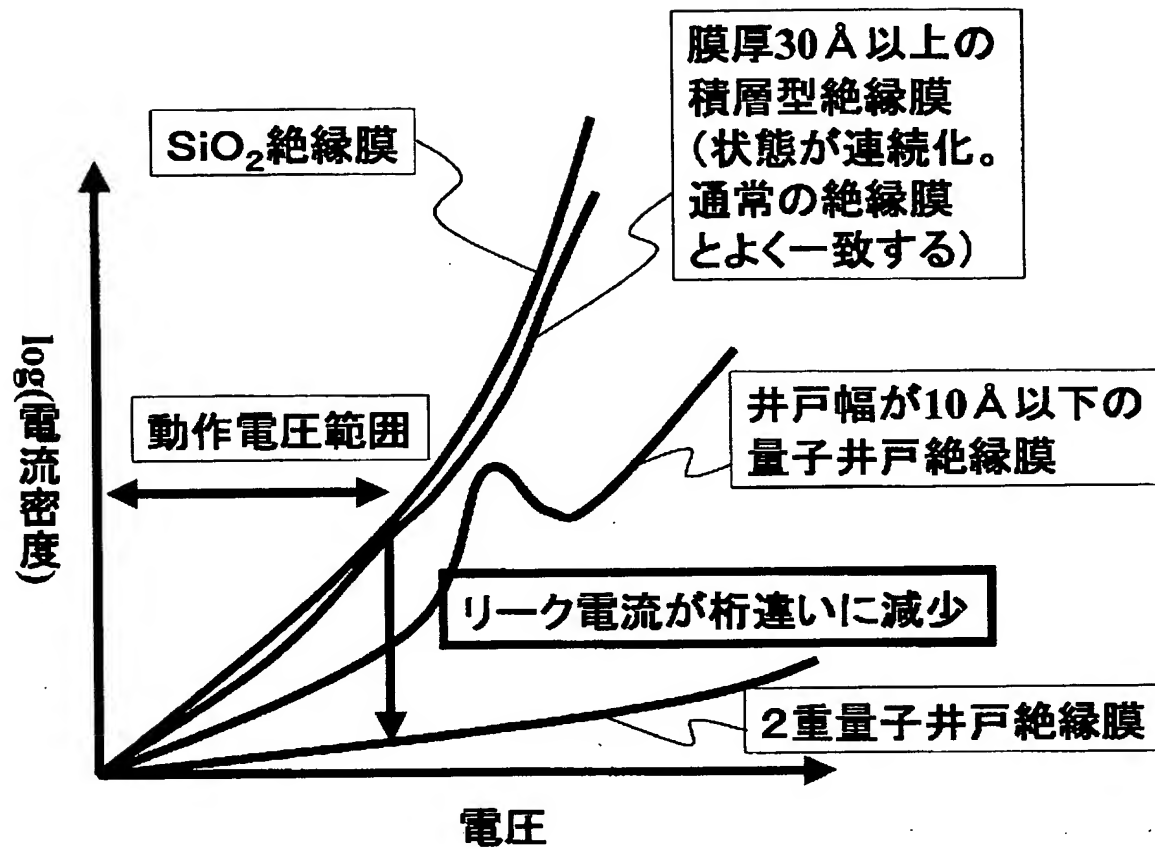
【図 5】



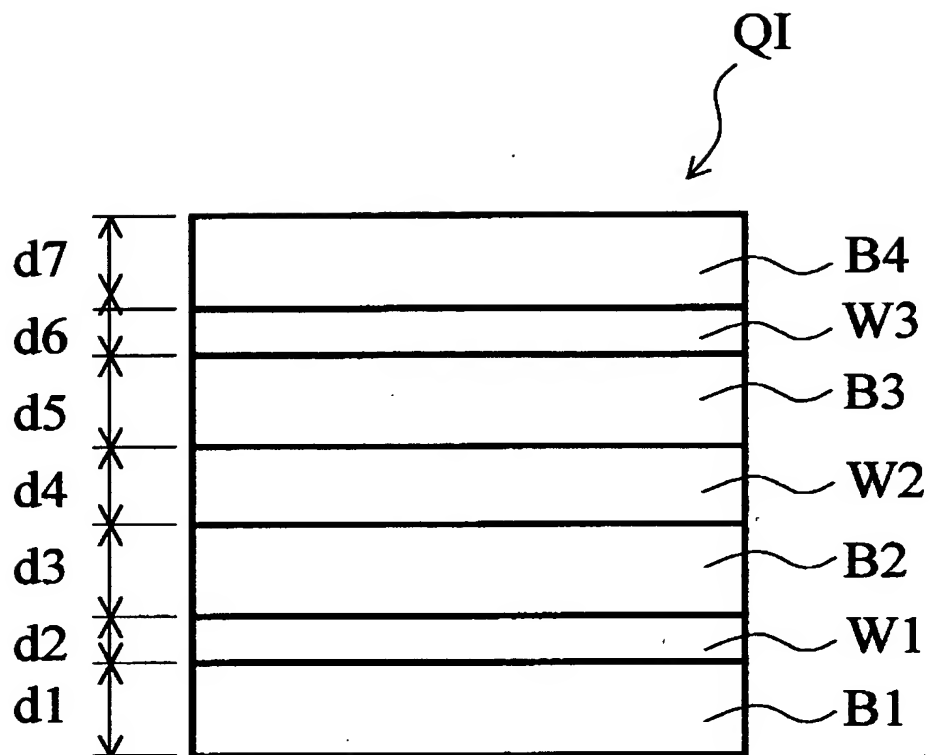
【図 6】



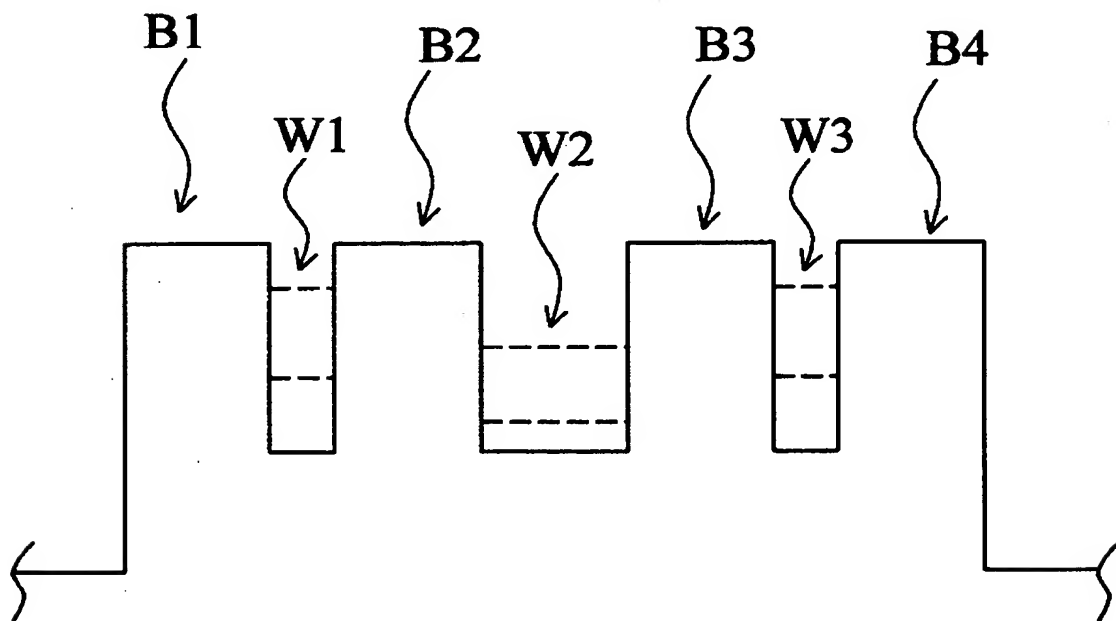
【図 7】



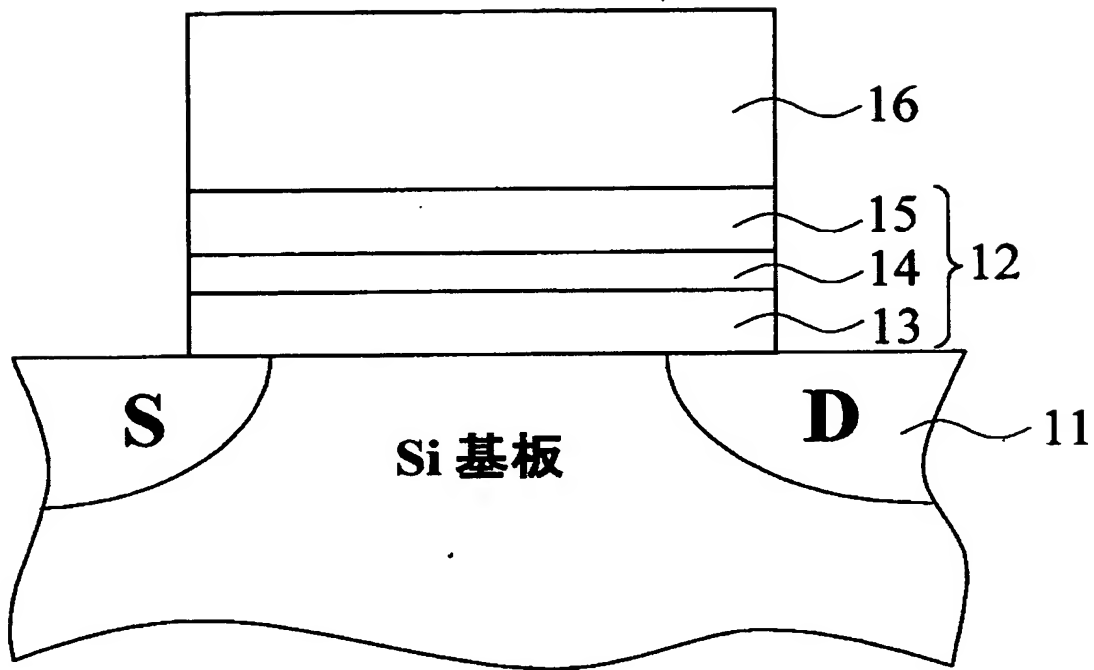
【図 8】



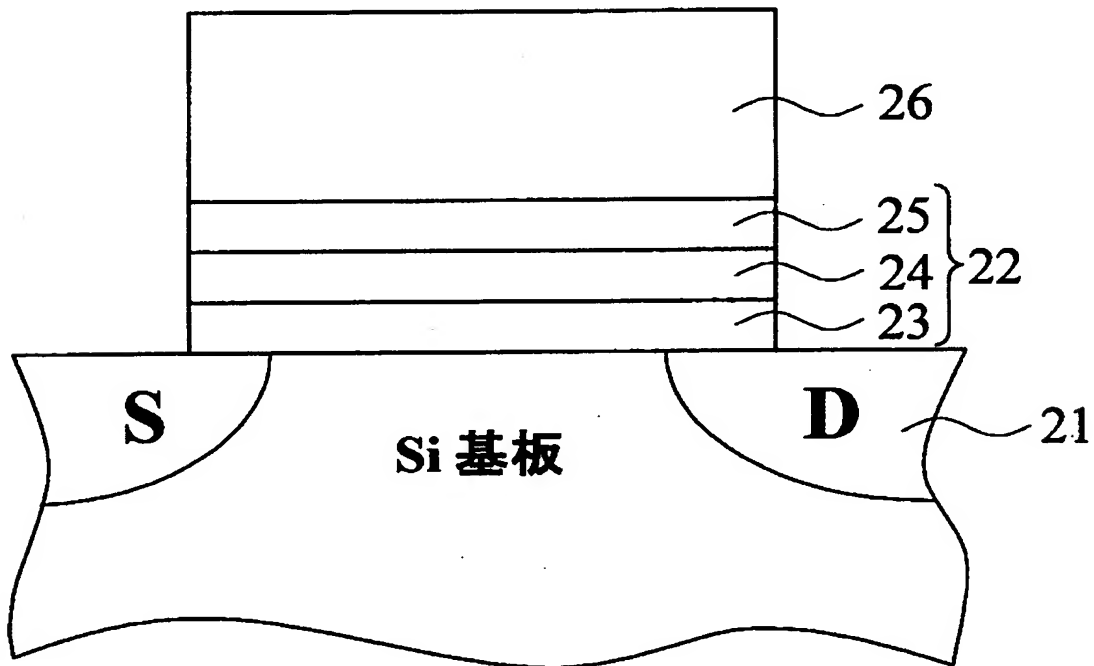
【図 9】



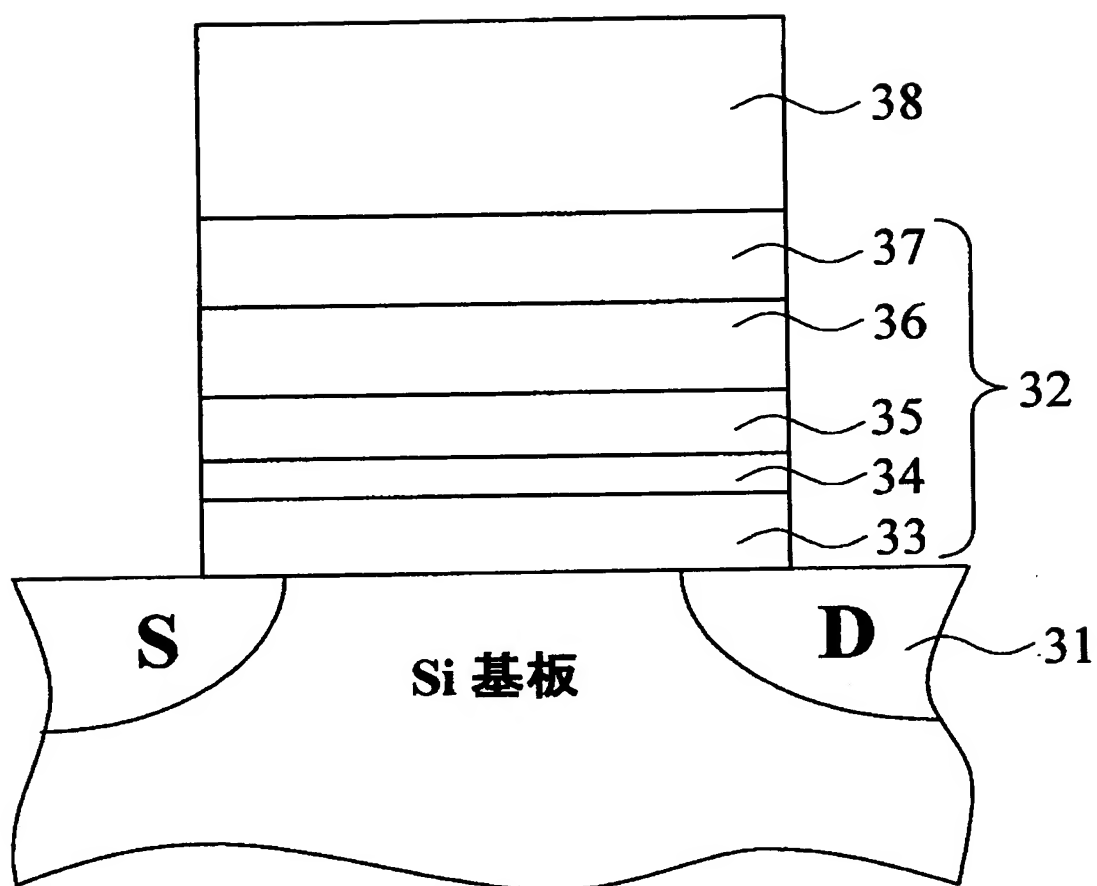
【図 1 0】



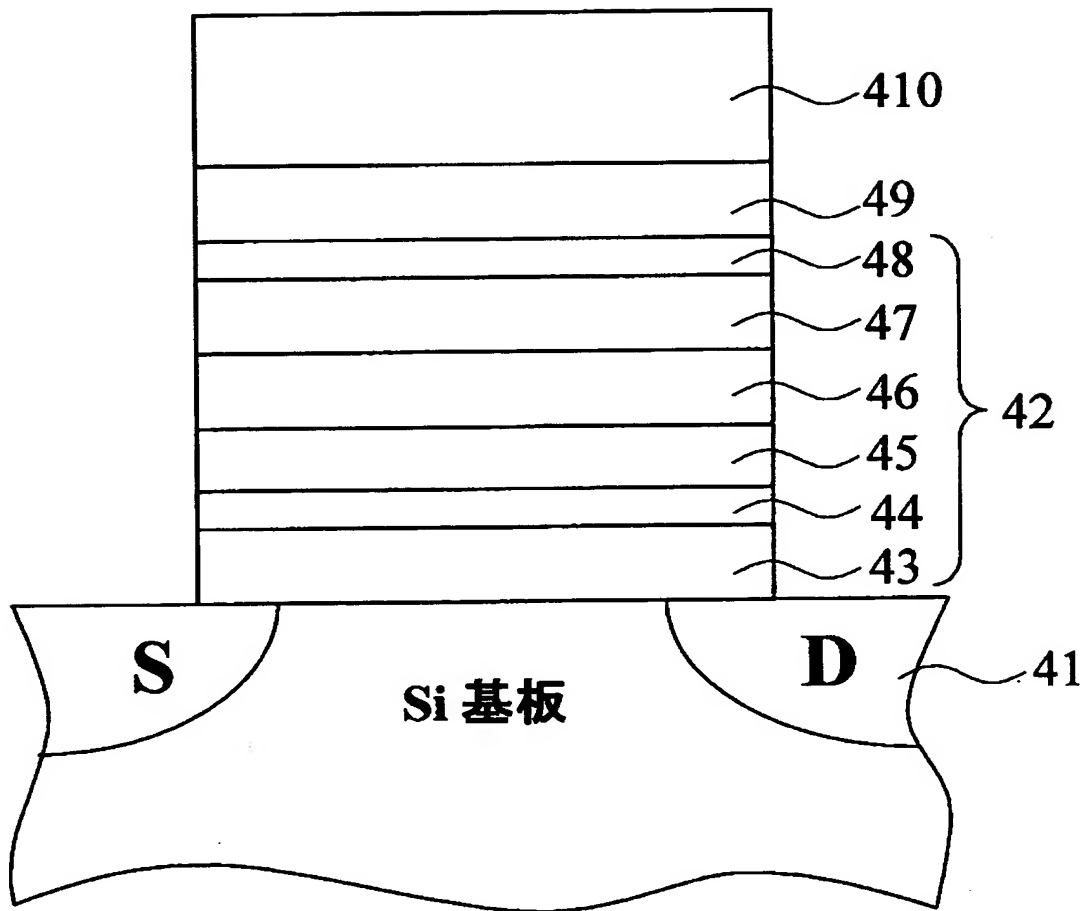
【図 1 1】



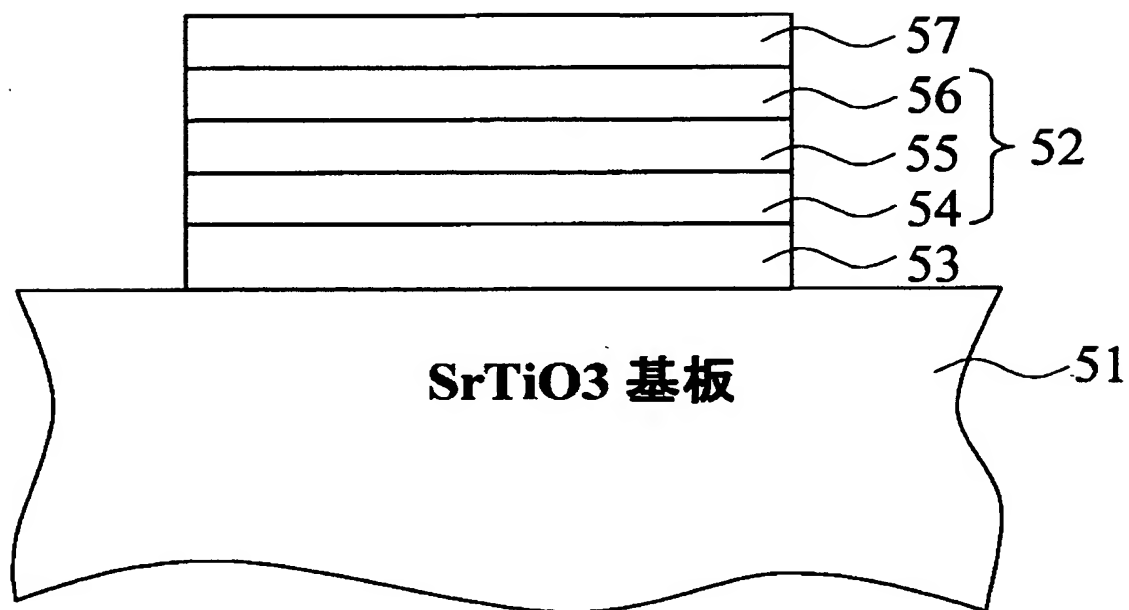
【図 1 2】



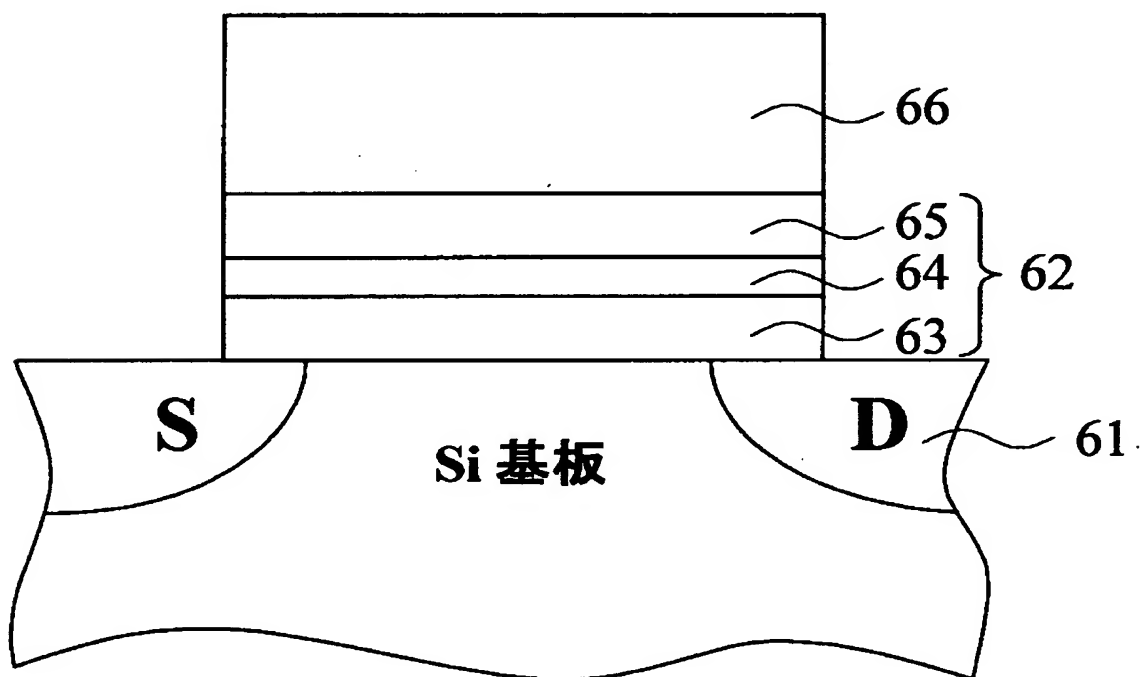
【図 1 3】



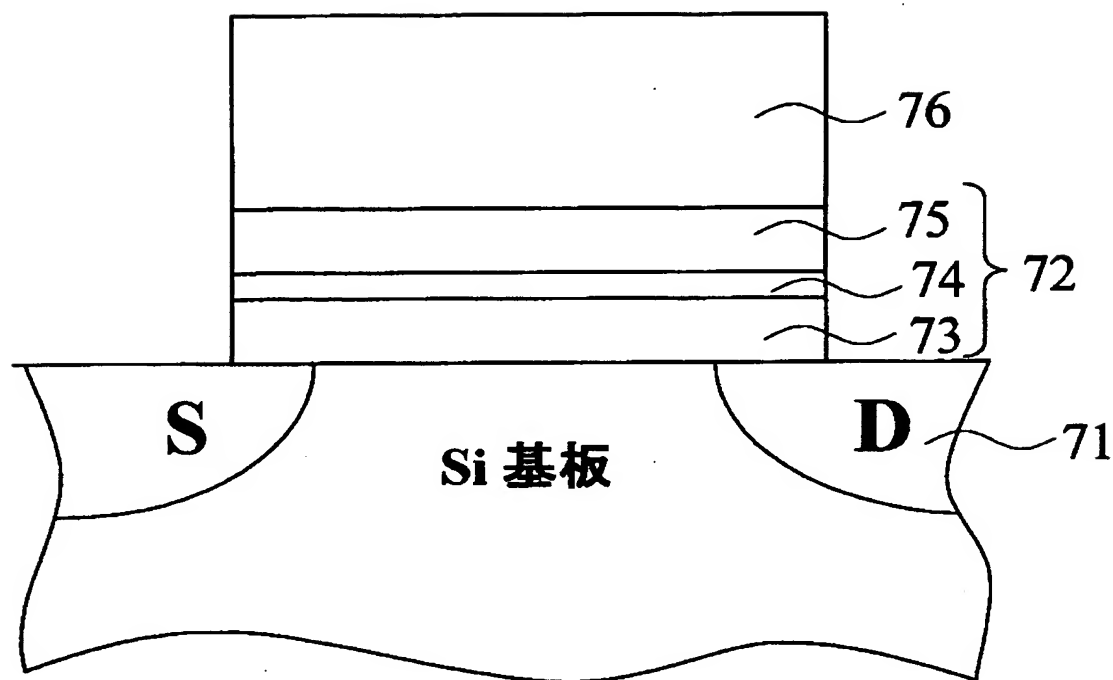
【图 1 4】



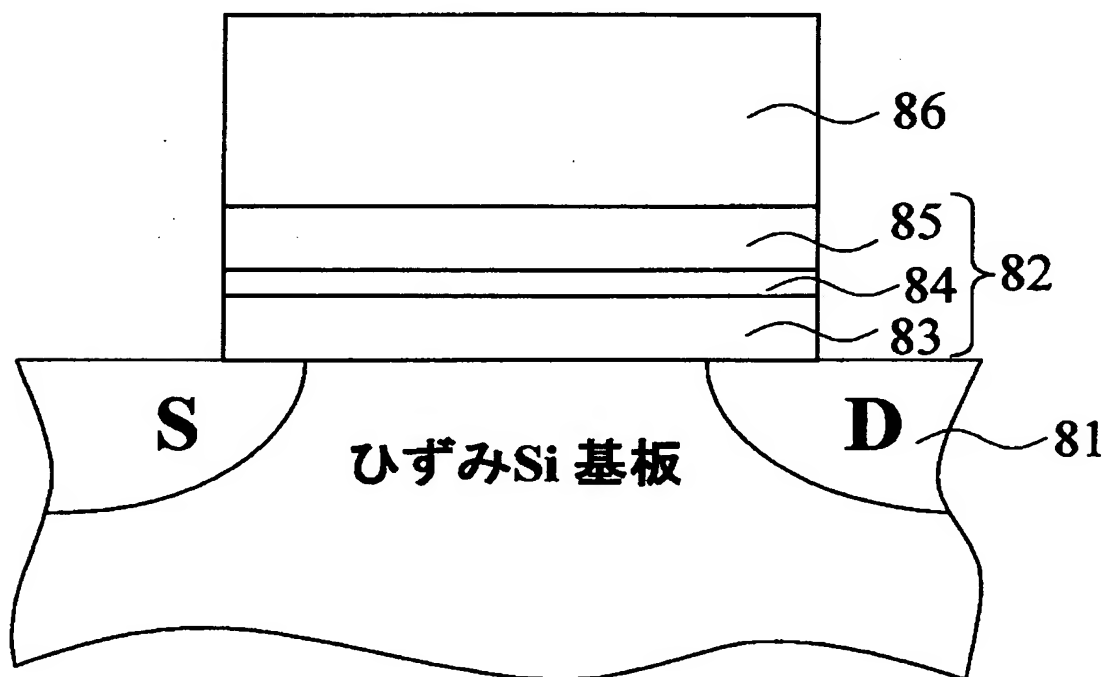
【图 1 5】



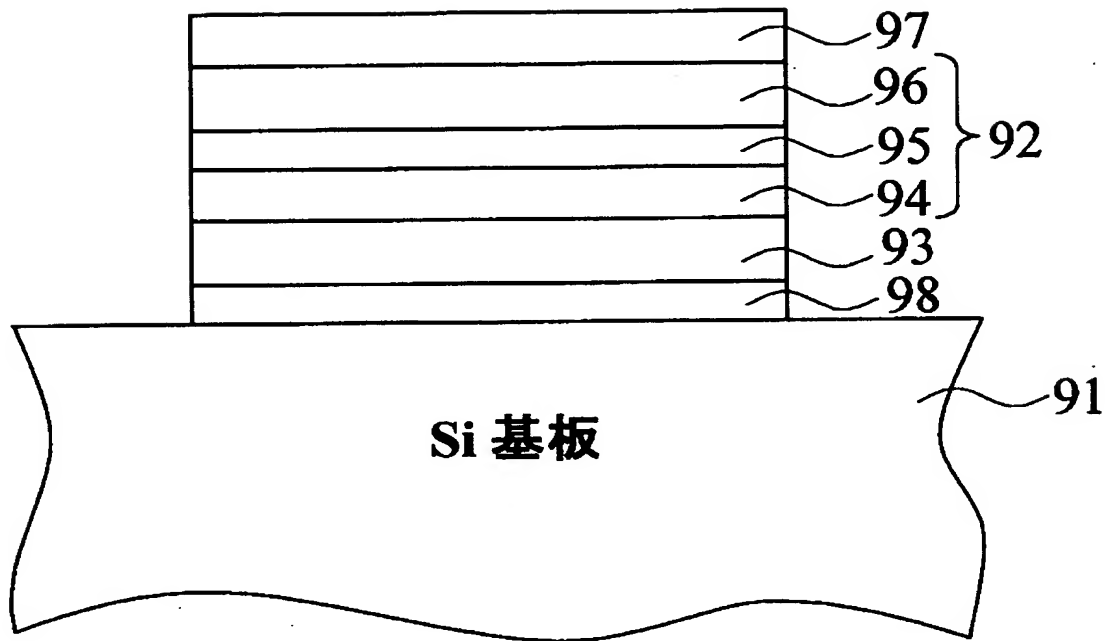
【図16】



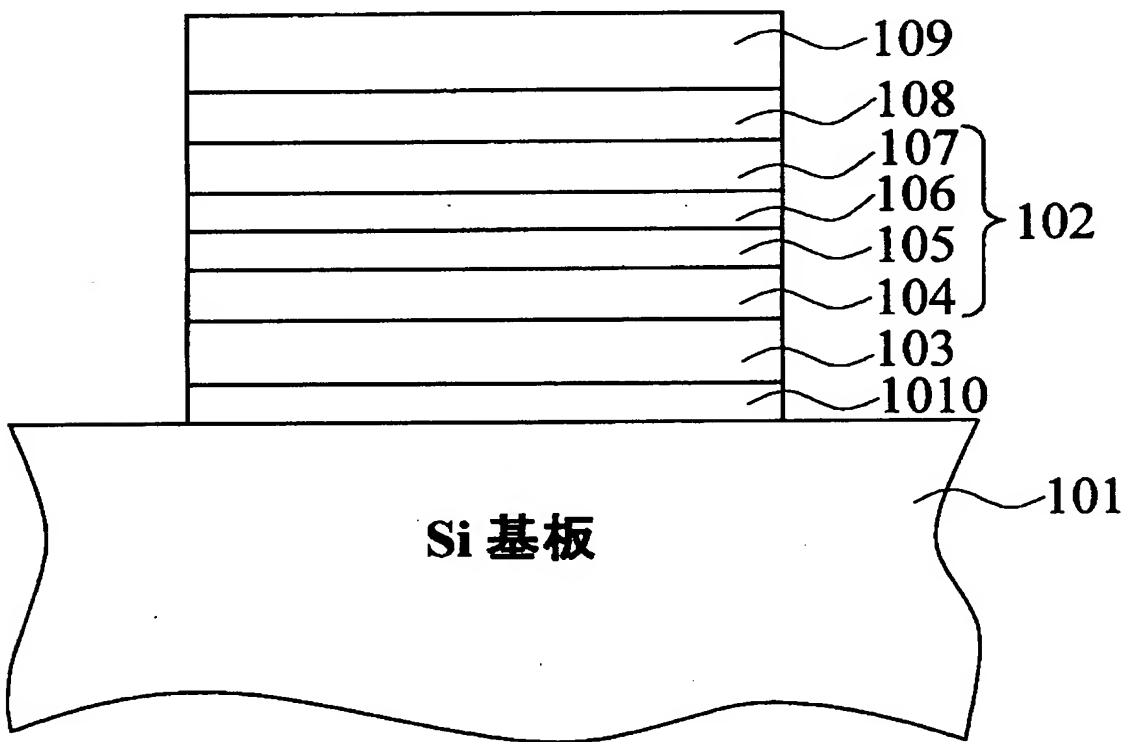
【図17】



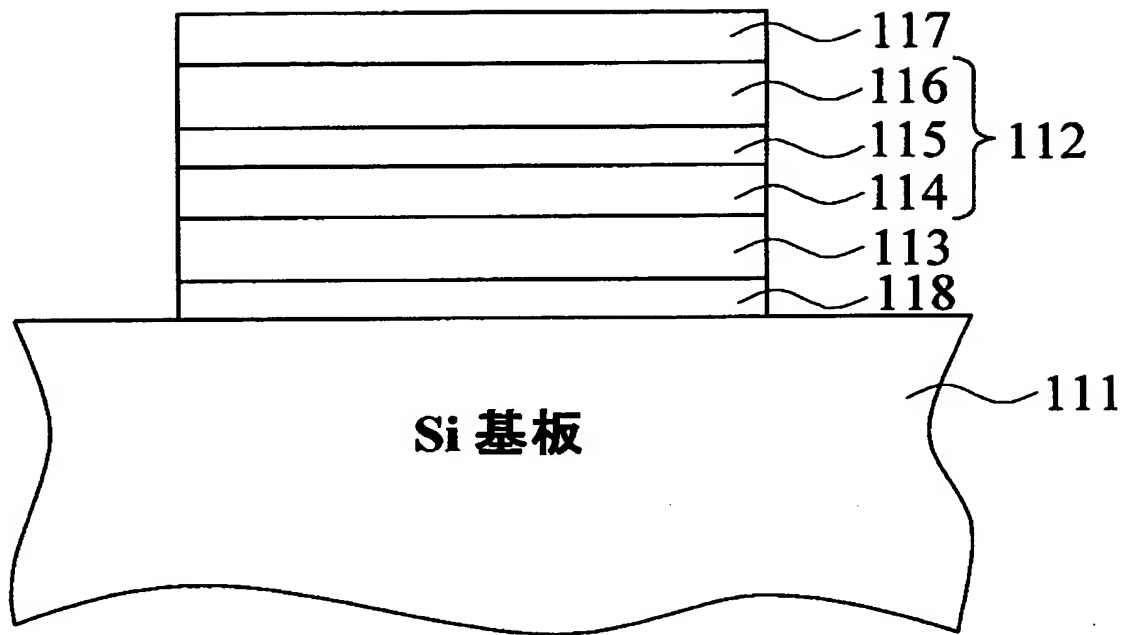
【図 1 8】



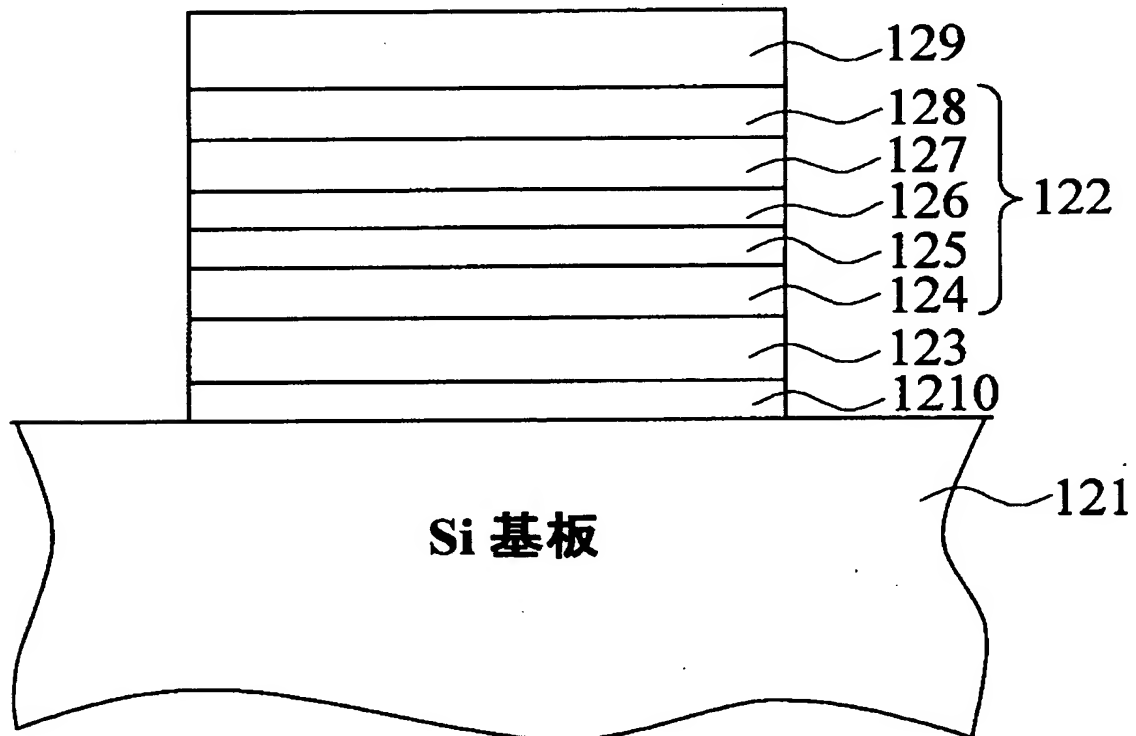
【図 1 9】



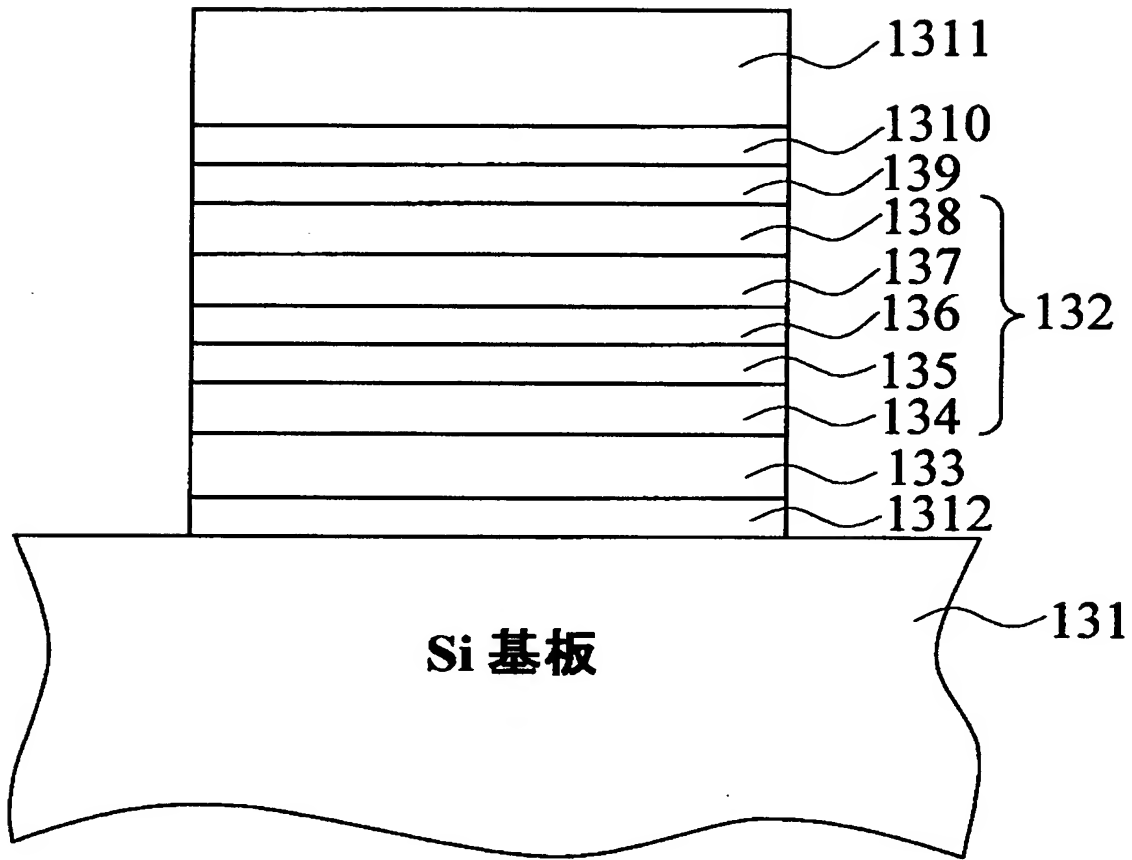
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 誘電率が高く、かつ、リーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することを目的とする。

【解決手段】 高誘電率をもつがバリアーの低い物質を、誘電率は低いが高いバリアーを持ったもので挟んだ絶縁膜の量子井戸構造あるいは多重量子井戸構造を用いる。絶縁膜全体の厚みが薄くてもトンネルが起こらないようにできるため、十分な誘電率（あるいは電荷）を確保できる。そして、レゾナンスがおこるレベルが井戸部分のバンドオフセットよりも 1 eV のオーダーで高くできるため、リーク電流量をけた違いに小さくできる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝